

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-258892

(P2000-258892A)

(43) 公開日 平成12年9月22日 (2000.9.22)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト* (参考)
G 0 3 F	1/08	G 0 3 F	1/08
H 0 1 L	21/28	H 0 1 L	21/28
	21/027		21/30
	21/82		21/82
			5 0 2 P
			5 F 0 6 4
			D
			C

審査請求 未請求 請求項の数 7 O L (全 15 頁)

(21) 出願番号 特願平11-65639

(22) 出願日 平成11年3月11日 (1999.3.11)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 金井 秀樹

神奈川県川崎市幸区小向東芝町1 株式会
社東芝研究開発センター内

(74) 代理人 100083806

弁理士 三好 秀和 (外7名)

Fターム(参考) 2H095 BB01 BB03

4M104 AA01 BB01 CC05 DD16 DD62

EE03 GG14 HH14

5F064 BB09 BB13 DD08 DD14 DD24

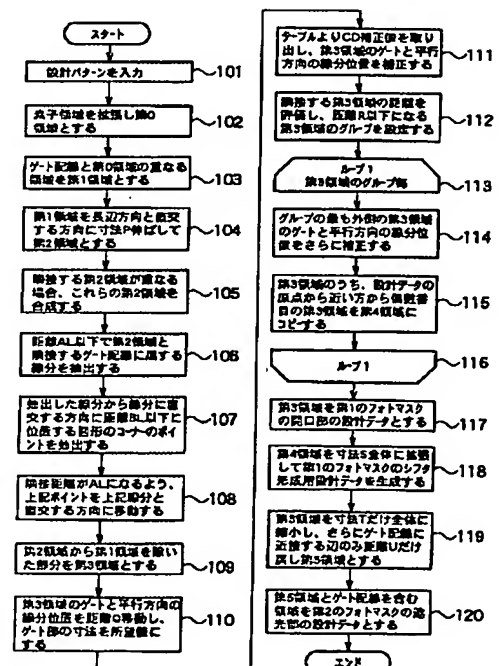
EE17 EE26 EE36 HH06

(54) 【発明の名称】 マスクパターン設計方法

(57) 【要約】

・【課題】 アラインメント誤差による連結配線部の寸法変動を無くすこと及び、ゲート部の制御性を向上させること。

・【解決手段】 微細ゲート部と連結配線が近接する領域では、連結配線を予め設定した基準値以上に遠ざける(ステップ106~108)ことにより、アラインメント誤差による連結配線部の寸法変動を無くすることができる。又、ゲート部を挟む開口の幅に応じて第1のOPCで補正を加え、更に、最も外側の開口の幅を内側の開口の幅に揃えるように第2のOPCで補正を加える(ステップ114)ことにより、ゲート部の制御性を向上させることができる。



1

・【特許請求の範囲】

・【請求項 1】 素子領域と配線のパターンデータを用いて論理演算を行うことにより複数のパターンデータを発生させることによりマスクパターンを設計するマスクパターン設計方法において、

前記素子領域に予め設定した距離以下に近接する配線の一部又は全部を前記設定距離以上になるように遠ざける処理を含むことを特徴とするマスクパターン設計方法。

・【請求項 2】 前記遠ざける処理を施した配線の一部又は全部に前記設定距離以下に近接するデバイスの構成要素があるかどうかを検出し、

検出された場合は遠ざける処理を施した前記配線の一部又は全部から該当のデバイスの構成要素を前記設定距離以上遠ざける処理を行い、

その後、前記遠ざける処理を施したデバイスの構成要素に前記設定距離以下に近接するデバイスの他の構成要素があるかどうかを検出し、検出された場合は該当のデバイスの構成要素を先に遠ざけたデバイスの構成要素から前記設定距離以上遠ざける処理を行うことを、前記設定距離以下に他のデバイスの構成要素が検出されなくなるまで、繰り返し行う処理を含むことを特徴とする請求項 1 記載のマスクパターン設計方法。

・【請求項 3】 前記素子領域に配線の一部又は全部が前記設定距離以下近づいている場合にこれを遠ざける処理を、

前記素子領域いずれかの領域に近接する線分を求め、該線分上に位置する図形の角のポイントを含み該近接する線分から予め設定した距離以下に位置する図形の角のポイントを抽出し、

これを近接する方向に平行に移動させるアルゴリズムにより行うことを特徴とする請求項 1 又は 2 記載のマスクパターン設計方法。

・【請求項 4】 素子領域と配線のパターンデータを用いて論理演算を行うことにより複数のパターンデータを発生させることによりマスクパターンを設計するマスクパターン設計方法において、

予め設定した距離以下に素子領域と配線の一部又は全部が近づいている場合には、該配線の少なくとも一部に対して近接している開口を拡張するか、該配線に近接して新たな開口を設けるパターンデータを発生させる処理を含むことを特徴とするマスクパターン設計方法。

・【請求項 5】 前記設定距離以下に素子領域と配線の一部又は全部が近づいている場合には、該配線の少なくとも一部に近接している開口を拡張するか、該配線に近接して新たな開口をレベンソンマスクとして形成するパターンデータを発生させる処理を含むことを特徴とする請求項 4 記載のマスクパターン設計方法。

・【請求項 6】 素子領域と配線のパターンデータを用いて論理演算を行うことによりレベンソンマスクとして複数のパターンデータを発生し、その際、前記レベンソン

2

マスクの連続して位置する複数の開口部に対して、各開口部の幅に応じて補正を加えてマスクパターンを設計するマスクパターン設計方法において、

前記開口部の最も外側の開口部に対して、露光後の配線のパターン形状が意図した形状と同一となるように、その幅に応じて前記補正とは別の補正を加えることを特徴とするマスクパターン設計方法。

・【請求項 7】 素子領域と配線のパターンデータを用いて論理演算を行うことによりレベンソンマスクとして複数のパターンデータを発生し、前記レベンソンマスクの連続して位置する複数の開口部を有するようにマスクパターンを設計するマスクパターン設計方法において、前記レベンソンマスク上の連続して位置する前記複数の開口部の中の最も外側の開口部の幅を、この開口部に隣接するひとつ内側の開口部の幅と同一にし、

更に、前記複数の開口部の中の全ての開口部に対して、露光後の配線のパターン形状が意図した形状と同一となるように各開口部の幅に応じた補正を加えることを特徴とするマスクパターン設計方法。

・【発明の詳細な説明】

・【0001】

・【発明の属する技術分野】本発明は、半導体集積回路の製造工程のひとつであるフォトリソグラフィ工程に使用されるフォトマスクの設計に係り、特にロジックデバイスのゲート電極の形成に使用されるマスクパターンの設計方法に関する。

・【0002】

・【従来の技術】近年、半導体装置の製造においては、回路を構成する素子や配線などの高集積化、また微細化が進められている。例えば、EWS (Engineering Work Station) や PC (Personal Computer) の CPU として用いられる RISC プロセッサの製造において、2002 年にはトランジスタのゲート電極の寸法として 110 nm が求められている。

・【0003】RISC プロセッサのゲート及び素子領域のパターン例を図 19 に示す。ここで、ゲート配線 11 のゲート長を与えるのは素子領域 12 上に載った微細ゲート部 16 である。連結配線部 17 はこのゲート部 16 とコンタクトパッド部 18 を接続する。ゲート配線 11 は、エンドキャップ部 19 により終端している。

・【0004】ところで、近年の回路パターンの微細化に伴い、フォトマスク上のパターンを半導体ウェハ上に転写するフォトリソグラフィ工程におけるパターン転写精度の低下が深刻になっている。

・【0005】この転写精度を向上させる手法のひとつに、フォトマスクを通過する光の位相を変えることによって、半導体ウェハ上に投影される像のコントラストを向上させる位相シフトマスク露光法がある。

・【0006】位相シフトマスクの中でレベンソン位相シフトマスクは、遮光領域を挟んで隣接する開口領域を通

過する露光光に180度の位相差を与えるように、一方の開口に位相シフトを設けたものである。

・【0007】このレベンソン位相シフトマスクは上述した線幅110nmのゲート部16をフォトリソグラフィ技術で達成するために必須のものである。

・【0008】図20(d)に示すようなゲートパターンの形成にレベンソン位相シフトマスクを用いる場合を考える。このようなゲートパターンを形成する方法として、例えば特開平7-106227に示されるように、レベンソン位相シフトマスクと通常のフォトマスクを多重露光する方法がある。

・【0009】第1のフォトマスクとして、図20(a)に示すようにゲート部16を挟む開口14を設け、ゲート部16を挟んで交互に位相シフト部15を設けたレベンソン位相シフトマスクを用いる。

・【0010】第2のフォトマスクとして、図20(b)に示すように、連結配線部17とコンタクトパッド部及びゲート部16を覆う遮光パターン部20を含む遮光パターン13を設けた通常のフォトマスクを用い、これら第1、第2のフォトマスクを多重露光する。

・【0011】図20(c)に示すように遮光部の重なる領域に露光光が照射されない暗部が形成され、従って、ポジレジストを用いた場合には、図20(d)に示すように暗部にレジスト21の残ったパターンが形成される。ここで、第2の露光に使用したマスクはトリムマスクと呼ばれる。

・【0012】これらレベンソンマスクとトリムマスクのパターンデータを設計する方法として、例えば以下の工程がある。これを図21、図22を用いて説明する。図21は従来の設計方法の工程を表すフローチャートであり、図22は前記工程に対応するフォトマスクの設計を説明する要部上面図である。但し、ゲート部16はレベンソンマスクにより、連結配線部17、コンタクトパッド部18及びエンドキャップ部19はトリムマスクにより形成される。

・【0013】図21に示したステップ211にて、まず、図22(a)に示すようにゲート配線31と素子領域32の元の設計パターンを入力する。次に、ステップ212にて、図22(b)に示すように素子領域12を拡張して第0領域33とする。ここで、素子領域32を拡張するのは、微細ゲート部を素子領域32より少し張り出した設計とするためである。これは、素子領域32に微細ゲート部より幅の広い連結配線部が載るとトランジスタの性能が劣化するため、マージンをみて少し張り出させる。

・【0014】次に、ステップ213にて、ゲート配線31と第0領域33の重なる領域を算出して、第1領域34とする。ここで、最終的に第1領域34の幅を減じた領域が微細ゲート部になる。ステップ214にて、図22(c)に示すように、第1領域34をゲート部31と

直交する方向に予め設定した値Pだけ伸ばして第2領域35とする。

・【0015】その後、ステップ215にて、図22

・(d)に示すように、第2領域35が隣接する第2領域35と重複するものについてはこれを合成し、ステップ216にて、第2領域35から第1領域34を除いた領域を演算により求め、図22(e)に示すように第3領域36とする。

・【0016】次に、ステップ217にて、図22(f)に示すように第3領域36の短辺方向の幅を狭めるように、第3領域36の辺の位置を距離Qだけ移動させる。これにより、所望サイズの微細ゲート部の設計を行う。

・【0017】次に、ステップ218にて、第3領域36に対して、OPC (Optical Proximity Correction) 処理を施す。OPC処理を施さないと、図19のゲート配線16のように、様々な間隔でパターンが存在する場合に、ゲート部の幅が均一に仕上がらないという現象が生じる。

・【0018】即ち、フォトマスク上のサイズAのパターンを転写する場合、被加工基板上のレジストを所望サイズ(A/露光倍率)に仕上げるように露光時の露光量を設定したとすると、サイズBのパターンが所望値(B/露光倍率)からずれて形成される。従って、ゲート部の幅を所望値に形成するように、フォトマスクの設計パターンサイズに開口幅に応じた補正をかける必要がある。

・【0019】例えば、予め実験よりフォトマスク上の第3領域36の幅(開口幅)に対して、レジストの仕上がり寸法を測定し、補正テーブルを用意し、これにしたがって補正を行う方法がある。若しくは、シミュレーションにより第3領域36の幅に応じてレジストの仕上がり寸法を予測する方法もある。

・【0020】しかしながら、実験的に補正をかけた方が、レジストパターンを形成した後の、ゲート電極のRIE (Reactive Ion Etching) の工程における寸法変換差を含む補正ができ、より高精度の補正が可能である。その後、ステップ218を経てステップ219にて、第3領域36をレベンソンマスクの開口部14の設計パターンとする。

・【0021】次に、レベンソンマスク作製におけるシフトパターンの設計を図22(g)に示すようにステップ220~224で行う。まず、シフトパターンを開口部14に交互に配置するためにステップ220~223の工程を行う。ここでは、隣接する第3領域36間の距離を評価し、距離R以下になる第3領域36のグループを求める。

・【0022】更に、ステップ221~223において、このグループ毎に、例えば設計上の原点の位置から近い側から0°、次に180°、0°、180°と交互にシフト配置を決定する。そして、180°の領域を第4領域37とする。その後、ステップ224に示すように、

5

レベンソンマスク作製時のシフトパターンの描画データを設計するために、寸法Sだけ全体に太らせる。

・【0023】次に、ステップ225、226にて、図22(h)に示すようにトリムマスクの設計として、第3領域36を距離Tだけ僅かに縮小し、これとゲート配線31のパターンの両方を含むパターンデータを作成し、これをトリムマスクの遮光部の設計パターンとする。第3領域36を縮小するのは、レベンソンマスクとトリムマスクの露光時の合わせずれ(アライメント誤差)を考慮した結果である。

・【0024】

・【発明が解決しようとする課題】しかしながら、上記した従来のマスクパターンの設計方法には以下の問題がある。図23(a)～(c)に示すように、開口部と連結配線の間隔が狭い場合には、多重露光時のアライメント誤差により連結配線の幅が細る、若しくは太る場合がある。図23(a)にレベンソンマスクの設計パターンを、図23(b)にトリムマスクの設計パターンを示す。アライメント誤差がない場合には、図23(c)に示すような多重露光のイメージになり、図23(d)に示すように、所望のパターンが形成される。

・【0025】しかしながら、図23(e)に示すように、レベンソンマスクに対してトリムマスクの位置が下方方向にずれて露光された場合、図23(f)に示すように、連結配線部(図中円内の部分)の寸法が細る問題がある。一般にデバイスの性能に与える影響を考慮して、寸法の制御性として求められるのは寸法設計値 $\pm 10\%$ である。これに対してアライメント誤差ははるかに大きい。従って、図23のような場合には、アライメント誤差分の寸法誤差が生じるが、これは寸法の制御性として許容できる値ではない。

・【0026】また、図24(a)～(e)に示すように、ゲート部に対して直交する方向に開口部14と連結配線の間隔が狭い場合も考えられる。図24(a)はレベンソンマスクの設計パターン、図24(b)はトリムマスクの設計パターンである。この場合には、図24(b)中の円内に示すように、トリムマスクに近接した遮光パターンが生じる。図24(c)に所望のパターンを示す。

・【0027】しかしながら、図24(b)の円内の近接部分が解像限界以下の距離である場合には、近接部分が繋がった遮光部となってしまう。そこで、多重露光後には図6(d)に示すように、コンタクトパッド部の寸法がレベンソンマスクの開口部の境界で決定されることになる。

・【0028】このため、コンタクトパッド部が意図した寸法より大きく形成されることが考えられ、また両マスクの露光間におけるアライメント誤差により寸法が変動する。

・【0029】OPC方法として開口幅を補正し、ゲート

6

部の寸法を均一にしている。しかしながら、図25に示したゲート部A、Eのように、開口部14を挟んで隣に大面積の遮光領域13が存在する場合には、開口幅の補正が十分でない。

・【0030】図26に図25のレベンソンマスクの設計パターンを被加工基板上に転写した時の投影像を示す。ゲート部B、C、Dは投影像のプロファイルがほとんど同じであり、解像線幅44がほぼ等しくなる。しかしながら、外側のゲート部A、Eについては内側のゲート部B、C、Dと異なる(狭くなる)ことがわかる。

・【0031】このように、開口幅が全く同じでも周辺的环境によって、転写後の寸法が異なってくる。しかしながら、従来方法では、開口幅の補正を更に外側の環境を考慮して補正していなかった。また、シミュレーションにより周辺的环境まで考慮して補正をかける方法もあるが、上述のように精度に乏しく、更に計算時間が膨大であるという問題がある。

・【0032】本発明は、上述の如き従来の課題を解決するためになされたもので、その目的は、容易にアライメント誤差による連結配線部の寸法変動を無くすることができ、又、容易にゲート部の制御性を向上させることができるマスクパターンの設計方法及びこの設計方法により設計したマスクパターンを用いて製造した半導体装置を提供することである。

・【0033】

・【課題を解決するための手段】上記目的を達成するために、請求項1の発明の特徴は、素子領域と配線のパターンデータを用いて論理演算を行うことにより複数のパターンデータを発生させることによりマスクパターンを設計するマスクパターン設計方法において、前記素子領域に予め設定した距離以下に近接する配線の一部又は全部を前記設定距離以上になるように遠ざける処理を含むことにある。

・【0034】この請求項1の発明によれば、例えば微細ゲート部と連結配線が近接する領域では連結配線を予め設定した距離以上に遠ざけるため、露光時、前記連結配線部の寸法が細るという問題を回避でき、所望のパターンを得ることができる。

・【0035】請求項2の発明の特徴は、前記遠ざける処理を施した配線の一部又は全部に前記設定距離以下に近接するデバイスの構成要素があるかどうかを検出し、検出された場合は遠ざける処理を施した前記配線の一部又は全部から該当のデバイスの構成要素を前記設定距離以上遠ざける処理を行い、その後、前記遠ざける処理を施したデバイスの構成要素に前記設定距離以下に近接するデバイスの他の構成要素があるかどうかを検出し、検出された場合は該当のデバイスの構成要素を先に遠ざけたデバイスの構成要素から前記設定距離以上遠ざける処理を行うことを、前記設定距離以下に他のデバイスの構成要素が検出されなくなるまで、繰り返し行う処理を含む

ことにある。

・【0036】請求項3の発明の特徴は、前記素子領域に配線の一部又は全部が前記設定距離以下近づいている場合にこれを遠ざける処理を、前記素子領域いずれかの領域に近接する線分を求め、該線分上に位置する図形の角のポイントを含み該近接する線分から予め設定した距離以下に位置する図形の角のポイントを抽出し、これを近接する方向に平行に移動させるアルゴリズムにより行うことにある。

・【0037】請求項4の発明の特徴は、素子領域と配線のパターンデータを用いて論理演算を行うことにより複数のパターンデータを発生させることによりマスクパターンを設計するマスクパターン設計方法において、予め設定した距離以下に素子領域と配線の一部又は全部が近づいている場合には、該配線の少なくとも一部に近接している開口を拡張するか、該配線に近接して新たな開口を設けるパターンデータを発生させる処理を含むことにある。

・【0038】請求項5の発明の特徴は、前記設定距離以下に素子領域と配線の一部又は全部が近づいている場合には、該配線の少なくとも一部に近接している開口を拡張するか、該配線に近接して新たな開口をレベンソンマスクとして形成するパターンデータを発生させる処理を含むことにある。

・【0039】請求項6の発明の特徴は、素子領域と配線のパターンデータを用いて論理演算を行うことによりレベンソンマスクとして複数のパターンデータを発生し、その際、前記レベンソンマスクの連続して位置する複数の開口部に対して、各開口部の幅に応じて補正を加えてマスクパターンを設計するマスクパターン設計方法において、前記開口部の最も外側の開口部に対して、露光後の配線のパターン形状が意図した形状と同一となるように、その幅に応じて前記補正とは別の補正を加えることにある。

・【0040】この請求項6の発明によれば、前記最も外側の開口部の幅を、隣接する内側の開口部の幅に例えば合わせるようにOPCを用いて前記別の補正を加えることにより、前記全ての開口部の幅を揃えることができ、これにより例えばゲート部の寸法制御性が向上する。

・【0041】請求項7の発明の特徴は、素子領域と配線のパターンデータを用いて論理演算を行うことによりレベンソンマスクとして複数のパターンデータを発生し、前記レベンソンマスクの連続して位置する複数の開口部を有するようにマスクパターンを設計するマスクパターン設計方法において、前記レベンソンマスク上の連続して位置する前記複数の開口部の中の最も外側の開口部の幅を、この開口部に隣接するひとつ内側の開口部の幅と同一にし、更に、前記複数の開口部の中の全ての開口部に対して、露光後の配線のパターン形状が意図した形状と同一となるように各開口部の幅に応じた補正を加える

ことにある。

・【0042】

・【発明の実施の形態】以下、本発明のマスクパターンの設計方法の実施の形態を図面に基づいて説明する。但し、以降説明する各パターン等の寸法値は被加工基板上の寸法値を示しており、フォトマスク上ではその4倍の値である。

・【0043】実施例1

図1は本発明の実施例1のマスクパターンの設計方法の工程を説明するフローチャートである。このフローチャートでは、レベンソンマスクとトリムマスクの設計方法を説明している。図2は上記設計方法を説明するフォトマスクの要部上面図である。

・【0044】図1のステップ101にて、まず、ゲート配線と素子領域の元の設計パターンを入力した。ここで、ゲート配線の元の設計寸法は240nmであり、以下の工程で、被加工基板上で所望値110nmのゲート部寸法を得るようフォトマスクの設計を行った。

・【0045】ステップ102にて、素子領域を拡張し第0領域とし、次に、ステップ103にて、ゲート配線と第0領域の重なる領域を算出し、第1領域とした。ここで、最終的に第1領域の幅を減じた領域が微細ゲート部になる。

・【0046】ステップ104にて、第1領域をゲート部と直交する方向に予め設定した値Pだけ伸ばして第2領域とした。ここで、Pは150nmとした。次に、ステップ105に示すように、第2領域が隣接する第2領域と重複するものについてはこれを合成した。

・【0047】その後、ステップ106～108にて、ゲート部と距離AL以下に近接する連結配線を抽出し、これをゲート部から遠ざけるよう設計を変更する処理を行った。ここで、距離ALは予め設定された基準値である。

・【0048】まず、ステップ106、107にて、距離AL以下で第2領域と近接する連結配線部を抽出し、これを含むポイントを移動させるポイントとして設定する。

・【0049】これについては図2を用いて説明する。即ち、図2(a)に示すように第2領域35とゲート配線31の設計パターンとの近接距離(第1領域の長辺方向)を評価して、その時、距離AL以下に近接するゲート配線の図形の辺(線分)41を抽出した。図2(b)はゲート配線31の設計パターンの図形を示している。この図2(b)に示すように、上記近接する辺を含む図形のコーナーのポイントの内、第1領域の長辺方向の距離がBL以下となるポイント42を抽出した。ステップ108にて、図2(c)に示すように上記辺の近接距離が距離ALとなるようにポイント42を移動させた。これには、ステップ106の処理時点での近接距離と距離ALとの差を算出しておき、差の距離BLを移動させ

9

ばよい。尚、エンドキャップ部19については、その幅、長さの変動がデバイスの性能にほとんど影響しないため、処理の対象から除外している。

・【0050】次に、ステップ109に示すように、第2領域から第1領域を除いた領域を演算により求め、第3領域とした。

・【0051】その後、ステップ110に示すように、第3領域の短辺方向の幅を狭めるように、第3領域の辺の位置を距離Qだけ移動させる。これにより、所望サイズ110nmの微細ゲート部の設計とした。ここで、距離Qは元のゲート配線の寸法240nmからゲート部の寸法110nmを引いた差である130nmの半分65nmである。

・【0052】次に、ステップ111にて、上記第3領域（開口幅）に対して、1度目のOPC (Optical Proximity Correction) 処理を施して開口幅の補正を行う。

・【0053】予め実験よりフォトマスク上の第3領域の幅（開口幅）に対して、ゲート配線のRIE後の仕上がり寸法を測定し、図17の表図に示した補正テーブルを用意した。ゲート配線の形成工程については後述する。

・【0054】ここで、図17の表図の補正值は開口幅の片側の辺に対して与える補正值である。例えば、開口幅450nmの開口では開口幅を片側で30nmに補正する。即ち、450nmから30nm×2を太らせて510nmとする。

・【0055】次に、2度目のOPC処理及びレベンソンマスク作製におけるシフトパターンの設計をステップ112～116で行う。

・【0056】まず、隣接する第3領域間の距離を評価し、距離R以下になる第3領域のグループを求めた。ここで、距離Rは400nmとした。

・【0057】次に、ステップ114に示すように、第3領域のグループにおいて、開口部の両側の遮光部の寸法を評価し、グループの中で最も外側にある開口部を抽出した。そして、上記開口について2度目の補正を施した。

・【0058】ここで、最も外側の開口幅は、P (150nm) からステップ110の工程を経て280nmに、更にステップ111の補正を経て300nmになっている。更に図18の表図に示す補正值を与え、結果的に内部の開口幅が510nmの場合には、最も外側の開口幅を片側で10nm細らせて結果的に280nmとした。

・【0059】図18の表図に示す補正值はグループの最も外側の開口幅が300nmの時の値であり、図17の表図と同じく実験結果より求めたものである。外側の開口幅を変化させると、補正值も変更する必要がある。

・【0060】その後、ステップ115に示すように、シフトパターンをグループ内の開口に対して交互に配置した。例えば設計上の原点の位置から近い側から偶数番目をシフトとし、第4領域とした。

10

・【0061】次に、ステップ117を経て第3領域をレベンソンマスクの開口部の設計パターンとした。

・【0062】更に、ステップ118に示すように、レベンソンマスク作製時のシフトパターンの描画データを設計するために、第4領域を寸法Sだけ全体に太らせた。ここでは、前記Sを所望のゲート部の寸法110nmの約半分の50nmとした。

・【0063】更に、ステップ119、120に示すように、トリムマスクの設計として、第3領域を距離Tだけ僅かに縮小し、これとゲート配線31のパターンの両方を含むパターンデータを作成して、これをトリムマスクの遮光部の設計パターンとした。ここで、前記Tはアライメント誤差を考慮し、30nmとした。以上のように、レベンソンマスクとトリムマスクの設計を行った。

・【0064】次に、上記した設計方法により設計したフォトマスクを用いた半導体装置の製造方法について図3を参照して説明する。

・【0065】図3は(a)～(h)はゲート配線の形成工程を示す半導体基板の要部断面図である。図3(a)に示すように、Siウエハ（半導体シリコン基板）22上に厚さ3nmのゲート酸化膜23を形成し、更にその上に厚さ160nmのポリシリコン膜24を積層して形成した。

・【0066】次に、図3(b)に示すように、ポジレジスト21を厚さ240nmに調整して基板全面に塗布し、塗布後、バーク (Bake) を90℃、120secの条件で行った。

・【0067】更に、図3(g)に示した上述の方法で設計したレベンソン位相シフトマスク27を用いて、図3(c)に示すように、第1の露光を行い、レジストに潜像を形成した。ここで、潜像とは、露光光を照射されることによりマスクの投影像に応じてレジストの化学反応が引き起こされた領域のことである。

・【0068】露光条件は、スキャナー型の露光装置（波長248nm）を用いて、NA（開口数）を0.5、σ（コヒーレンシー）を0.3の照明条件とした。

・【0069】その後、図3(h)に示した上述の方法で設計したトリムマスク28を用いて、図3(d)に示すように第2の露光を行った。露光条件は、露光装置として第1の露光と同じものを使用して、照明条件をNA 0.55、σを外形が0.8で、内径0.53が遮蔽された2/3の輪帯照明で行った。

・【0070】次に、図3(e)に示すように、基板を露光装置より搬出し、露光後バーク (PEB: Post Exposure Bake) を110℃、120secの条件で行った後、アルカリ現像液を用いて現像し、感光部のレジストを溶解させてレジストパターン29を形成した。

・【0071】更に、図3(f)に示すように、レジストパターン29をマスクに弗素を含むガスをを用いたRIE (Reactive Ion Etching) を行い、ポリシリコン膜24と

11

ゲート酸化膜23のパターンを形成した。

・【0072】その後、図示しない窒化シリコン膜を成膜する等の工程を経て、半導体装置を製造した。

・【0073】ここで、実施例1で用いた露光装置のアライメント誤差は最大60nmである。寸法の制御性として求められるのは、ゲート部の寸法が所望値110nmに対して±11nm、また、連結配線部は所望値240nmに対して±24nmである。従って、連結配線部とゲート部が近接している場合には、アライメント誤差により寸法制御性の要求値以上に連結配線部の寸法が変動する可能性がある。

・【0074】本実施例によれば、図1のステップ106～108の処理により、近接する連結配線部を遠ざけるように設計パターンを変更し、これによりアライメント誤差による連結配線部の寸法変動をなくすることができる。

・【0075】また、元の開口幅に応じて開口幅の補正を加えるOPCを行い、更に、開口を挟んで隣に大面積の遮光領域が存在する上記グループの最も外側の開口幅に対して図1のステップ114の処理により第2のOPCを行うことによって、更なる補正を加えているため、図4の第2のOPC後のレベソソマスクの設計パターンの投影像プロファイルに示されるように、ゲート部A～Eまでの幅を描えることができる。

・【0076】このように、第2のOPC工程を付加することにより、ゲート部の制御性をより向上させることが可能となった。また、RIE後の寸法値を実験により測定して補正値を決定しているため、精度を高くすることができる。更にシミュレーションを用いる補正に比べ、はるかに短い時間で容易に設計を完了することができる。

・【0077】実施例2

図5は本発明の実施例2の設計工程の要部を示したフローチャートである。この実施例2は実施例1で説明した図1の設計工程のステップ108とステップ109の間に図5に示した工程を挿入して、全体の工程が構成されている。ところで、上記実施例1の図1に示したステップ106～108においてゲート部と近接するゲート配線のパターン設計を変更し、近接図形を移動させた。

・【0078】しかしながら、デバイスの設計パターンによっては、設計変更により不都合を生じる場合がある。例えば、連結配線やコンタクトパッド部の移動先に極めて近接した位置に他のレイヤのパターン、例えば素子領域やコンタクトがある場合には、ショート等の問題が生じることが懸念される。また、コンタクトパッド部を移動させるとコンタクトとの位置ずれが生じたり、コンタクト抵抗が増加することが懸念される。このようなことを回避するために、本例では図5に示した設計工程を加えている。

・【0079】まず、ステップ501では、図1のステッ

12

プ108にて移動したポイントに近接するゲート以外のレイヤの図形を抽出する。この時、近接距離はおおよそAL以上に設定すればよい。次にステップ502にて、前記抽出した図形と前記ポイントとの隣接距離がAL以上かどうかを調べて、ステップ503にて、他のレイヤの図形と整合性がとれているかを判断する。他のレイヤの図形が近接距離内に存在しない場合には、他のレイヤとの整合性がとれていると判断して、ステップ505に進む。

・【0080】他のレイヤの図形が存在する場合には、ステップ504にて、前記ポイントとの隣接距離がAL以下の図形も距離BL移動させる。この状態は図6(a)～(d)に示されている。

・【0081】図6(a)は所望のパターンを示している。図6(b)に示すように、元々の設計データにおいて素子領域43がゲート配線31と近接している場合に、近接するポイント42を抽出し、図6(c)に示すようにポイント42を移動させる。この時、移動させた図形のポイント42と近接する素子領域43についても抽出して、これを図6(d)に示すように移動する工程が加えられている。

・【0082】上記のように移動させた図形に対して近接距離内に他のレイヤの図形がないかを更に調べ、存在する場合には該当の図形を移動させる。このような図形の移動処理を繰り返し、最終的に、移動した図形の近接距離以内に他のレイヤの図形がないと確認され、ステップ503で他のレイヤの図形と整合性がとれたと判断されるまで行う。

・【0083】次にステップ505にて、抽出したポイントを含む連結配線に接続されるコンタクトパッドとコンタクトの位置関係を確認する。その結果、図7(a)に示すように、移動したポイント42がコンタクトパッド部のポイントを含む場合、ステップ506にて、コンタクトパッド部とコンタクト30との位置の整合性がとれているかどうかを判断する。整合性がとれている場合は図1のステップ109へ進み、図7(b)に示すように整合性がとれていない場合は、ステップ507にて、図7(c)に示すようにコンタクト30を距離BL移動させる。

・【0084】本発明によれば、実施例1と同様に、近接する連結配線部を遠ざけるように設計パターンを変更し、これにより、アライメント誤差による連結配線部の寸法変動をなくすることができる。

・【0085】又、連結配線部に接続されるコンタクトパッド部18を移動するように設計変更を行った際に、これと接続されるコンタクト30のパターンを同様に移動させることにより、コンタクトパッド部とコンタクト30の位置ずれにより生じるコンタクト抵抗の増加によるデバイス性能の劣化を防止することができる。

・【0086】更に、連結配線部或いはコンタクトパッド

13

部が移動したために、これらが素子領域等に近接して、ショートなどのデバイス性能の劣化が懸念されるが、これに対して、移動した配線図形の周辺にあるゲート以外のレイヤの図形を抽出し、これを同様に移動させることを繰り返して行って、異常接近した素子領域等無くすることができ、前記配線図形の移動によるデバイス性能の劣化を防止することができる。

・【0087】実施例3

図8は本発明の実施例3の要部を示した平面図である。上記した実施例1、2によれば、連結配線部及びコンタクトパッド部の位置を移動させることにより、アライメント誤差による連結配線部の寸法変動を防止し、又、前記移動によるデバイス性能の劣化を防止している。

・【0088】しかし、デバイス性能の許す範囲で第3領域の設計パターンの辺の位置を移動させ、延いては本例の図8のようにレベソソマスクの開口部の設計パターンの辺の位置を変更してもよい。図8(a)は、変更前の開口部14とシフト開口部15の辺の位置を示しており、図8(b)に変更後の開口部14とシフト開口部15の辺の位置を示している。この場合には、ゲート部の長さが短くなるため、これに合わせて素子領域の設計パターンの辺の位置も移動させることが望ましい。

・【0089】本実施例によれば、近接するゲート部を遠ざけるように設計パターンを変更することにより、実施例1、2と同様に、アライメント誤差による連結配線部の寸法変動をなくすることができる。

・【0090】実施例4

図9は本発明の実施例4の要部を示したフローチャートである。上記実施例1では、開口部のグループの最も外側の開口幅を図1に示したステップ114の第2のOPC工程を行うことによって補正したが、本例のように前記第2のOPC工程を図9のフローチャートに示すような工程で行っても良い。

・【0091】図9のステップ901にて、まず、図10(a)に示す第3領域36のパターンに対してグループの最も外側(A、B)の第3領域36の幅を、図10(b)に示すようにゲート部を挟んで隣に位置(C、D)する第3領域36の幅と同じに補正する。

・【0092】次にステップ902にて、図10(c)に示すように最も外側の第3領域36の幅を更に実験的に求めた距離Uだけ外側に広げて補正する。但し、本例では距離Uは50nmとした。

・【0093】本実施例によれば、グループの最も外側に位置する開口A、B間のゲート部を開口C、D間等の内側のゲート部の寸法と揃えるように、実験的に求めた距離U広げて補正することにより、実施例1と同様に、ゲート部の寸法を揃えることができるばかりではなく、ゲート部の制御性をより向上させることができる。

・【0094】実施例5

図11、図12は本発明の実施例5を示したフローチャ

14

ートである。本例はレベソソマスクとトリムマスクの設計方法の別の例を示したものであり、図11はその設計方法の工程を示したものである。図13は前記設計方法を説明するフォトマスクの要部上面図であり、図14は設計後のフォトマスクの要部断面図である。

・【0095】以下に本実施例を説明する。実施例1の図1に示したステップ106~108にて、ゲート部と近接するゲート配線のパターン設計を変更して、近接図形を移動させが、本例では、近接する連結配線部をレベソソマスクで形成するようにパターン設計するものである。これに伴い、図1のステップ107、108を図11に示す設計工程に変更する。

・【0096】図1のステップ106にて、距離AL以下で第2領域35と近接するゲート配線31の線分を抽出した。その後、本例のステップ131にて、図13

・(a)に示すようにその線分から距離DLにある上記近接するゲート配線31を構成する図形を抽出し、同図・(a)の円で示した部分を第6領域39とした。ここで、距離DLの位置に跨がってゲート配線を構成するある図形が存在する場合には、その図形を距離DLの位置で分割した。但し、DLは600nmとした。

・【0097】次のステップ132にて、距離DL以内の図形を寸法Pだけ全体に拡張した。ここで、寸法Pは実施例1と同様に150nmとした。この状況を図13・(b)の矢印で示す。その後、ステップ133にて、図13(c)に示すように、上記図形からゲート配線を除いた領域を演算により求め、第7領域40とした。

・【0098】更に、次のステップ134にて、図1のステップ111においてゲート部の寸法にOPC処理を加えたと同様に、ゲート部に対してもOPC処理を加える。実施例1のステップ111では図17の表図に示す補正値にしたがって補正を加えたが、ここでは、新たな補正テーブルを用意し、これにしたがって補正を行った。

・【0099】更に、図1に示すステップ114とステップ115間に、図12に示すステップを挿入した。すなわち、第3領域と上記の設計工程により新たに生成した第7領域を合成し、新たな第3領域とした。その後、図1に示す諸々の工程を経た後、第3領域を第1のフォトマスクの開口部の設計データとした。

・【0100】以上の設計工程を終了した段階でのフォトマスクは図14のようになる。ここで、図14(a)はレベソソマスクの、図14(b)はトリムマスクの、図14(c)はこれらマスクを多重露光して得られる露光イメージの要部上面図である。図14(c)は露光後に得られるゲート部を示した上面図である。図14・(a)に示すとおり、レベソソマスクの開口部が微細ゲート部のみならず、連結配線部に伸びていることがわかる。

・【0101】本実施例によれば、近接する連結配線部を

レベンソンマスクで形成するように設計パターンを変更して、アライメント誤差による連結配線部の寸法変動をなくすることができる。アライメント誤差によりレベンソンマスクとトリムマスクの連結部分で配線の位置ずれが生じるが、これは性能上問題にならないので、無視して良い。

・【0102】(追記1) 一般に、プロセッサの設計においてSRAM等のメモリが設計パターンに存在する場合、メモリ部分に関してはあるセルパターンが数メガ個といった繰り返して設計される。このように同一セルパターンの繰り返しパターン部分については別の条件(例えば、距離P、R等)を用いてパターンの設計変更を行ってもよいし、実施例1～実施例5の設計工程によらず、手動でセルパターンを変更するといった操作を行ってもよい。

・【0103】(追記2) 図2(d)に示すように、第2領域と近接する辺を含み、第2領域から離れる方向に存在する図形全てを、第2領域と上記辺の近接距離がALになるだけ、移動させることにより、図2(e)に示すようにパターンを変更してもよい。この時、当然ながら図2(d)に示す図形に接続されない他の図形は処理しないことになる。

・【0104】(追記3) 上記実施例1～実施例5で説明したパターン設計方法では、微細ゲート部を所望値に形成するために、OPCを施すことにしている。連結配線部はトリムマスクを用いて形成されるが、連結配線部の寸法制御性を向上させるために、トリムマスクのパターン、上述の設計方法ではゲート配線の領域に対してOPCをかける工程を加えてもよい。これにより、連結配線部の寸法制御性をも向上させることができる。

・【0105】(追記4) 図15に示すような工程を実施例1のステップ116とステップ117の間に挿入してもよい。第3領域からレベンソンマスクの開口部の設計パターン及びトリムマスクのゲート部を覆う領域のパターンを作成する。ステップ151にて、隣接する第3領域のグループの各々の最も外側の第3領域の間の距離を算出する。

・【0106】その結果、例えば、図16(a)に示すように、レベンソンマスクの開口部のグループ間の距離45がV以下に近接している場合には、次の問題が生じる可能性がある。

・【0107】例えば、Vを100nmとすると、フォトマスク上の寸法はその4倍の400nmである。フォトマスク上400nm以下のような微細なパターンを作製する場合、フォトマスク作製に使用するEB(Electron Beam)描画装置の性能によってはパターンが解像されない場合がある。

・【0108】このような描画装置の解像限界以下のパターンをフォトマスク上の設計データとして存在させるべきではない。

・【0109】そこで、ステップ152にて、距離V以下で隣接するグループの最も外側の第3領域を抽出し、ステップ153にて、隣接するグループの最も外側の第3領域を第1領域から直交する方向で外側にV/2伸ばし、上記第3領域を合成する。その結果は図16(b)に示され、グループの最も外側の第3領域を外側に、即ち、ゲート部と直交する方向に広げて両グループの外側の第3領域を合成する。これにより、レベンソンマスクの開口パターン及びトリムマスクの遮光パターンの近接するグループを拡張して合成させることになり、描画装置の解像限界以下のパターンがフォトマスク上に存在しなくなる。

・【0110】(追記5) 上記実施例1～実施例5において、第1のフォトマスクであるレベンソン位相シフトマスクのパターンと第2のフォトマスクであるトリムマスクのパターン設計方法について述べた。ところで、第1のフォトマスクのパターンと第2のフォトマスクのパターンを1枚のフォトマスク内の異なる領域に配置してもよい。

・【0111】1枚のマスクに両パターンを形成することにより、多重露光時のアライメント誤差を低減することができる。

・【0112】その他、本発明のパターン設計方法に関して、本発明の主旨を逸脱しない限り、含まれる工程の順序を入れ替えても、同様の効果を得ることができる。

・【0113】

・【発明の効果】以上詳細に説明したように、本発明によれば、アライメント誤差による連結配線部の寸法変動を無くすることができ、又、ゲート部の制御性を向上させることができる。

・【図面の簡単な説明】

・【図1】本発明の実施例1のマスクパターンの設計方法の工程を説明するフローチャートである。

・【図2】上記実施例1のフォトマスクの設計を説明する要部上面図である。

・【図3】上記実施例1のゲート配線の形成工程を説明する半導体基板の要部断面図である。

・【図4】上記実施例1のフォトマスクの投影像のプロファイルを示す図である。

・【図5】本発明の実施例2のフォトマスクの設計工程の要部を説明するフローチャートである。

・【図6】上記実施例2のフォトマスクの設計を説明する要部上面図である。

・【図7】上記実施例2のフォトマスクの設計を説明する他の要部上面図である。

・【図8】本発明の実施例3のフォトマスクの設計工程を説明する上面図である。

・【図9】本発明の実施例4のフォトマスクの設計工程を説明するフローチャートである。

・【図10】上記実施例4のフォトマスクの設計を説明す

17

る図である。

・【図11】本発明の実施例5のフォトマスクの設計工程を説明するフローチャートである。

・【図12】上記実施例5を説明するフローチャートである。

・【図13】上記実施例5のフォトマスクの設計工程を説明する要部上面図である。

・【図14】上記実施例5のフォトマスクの設計を説明する要部上面図である。

・【図15】本発明のその他のフォトマスクの設計工程を説明するフローチャートである。

・【図16】本発明のその他のフォトマスクの設計工程を説明する要部上面図である。

・【図17】実施例1のフォトマスクの設計工程における第1の寸法補正值を示す表図である。

・【図18】実施例1のフォトマスクの設計工程における第2の寸法補正值を示す表図である。

・【図19】従来のRISCプロセッサのゲート配線のパターン例を示す要部上面図である。

・【図20】従来のゲート配線の形成用に用いられる多重露光用のフォトマスクを説明する要部上面図である。

・【図21】多重露光用のフォトマスクの従来の設計工程を説明するフローチャートである。

・【図22】多重露光用のフォトマスクの従来の設計による製造工程を説明する要部上面図である。

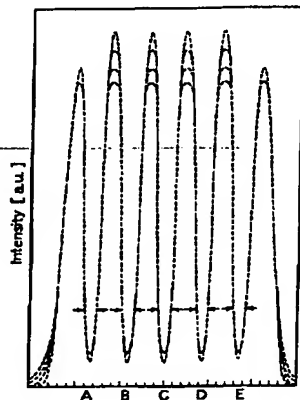
・【図23】多重露光用のフォトマスクの従来の設計の問題点を説明する図である。

・【図24】多重露光用のフォトマスクの従来の設計の問題点を説明する図である。

・【図25】多重露光用の従来のフォトマスクの設計パターンを示した図である。

・【図26】図25に示した設計パターンのプロファイルを示した投影図である。

・【図4】

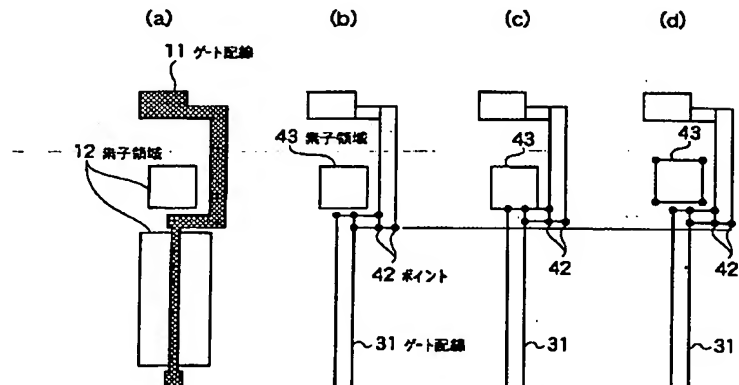


18

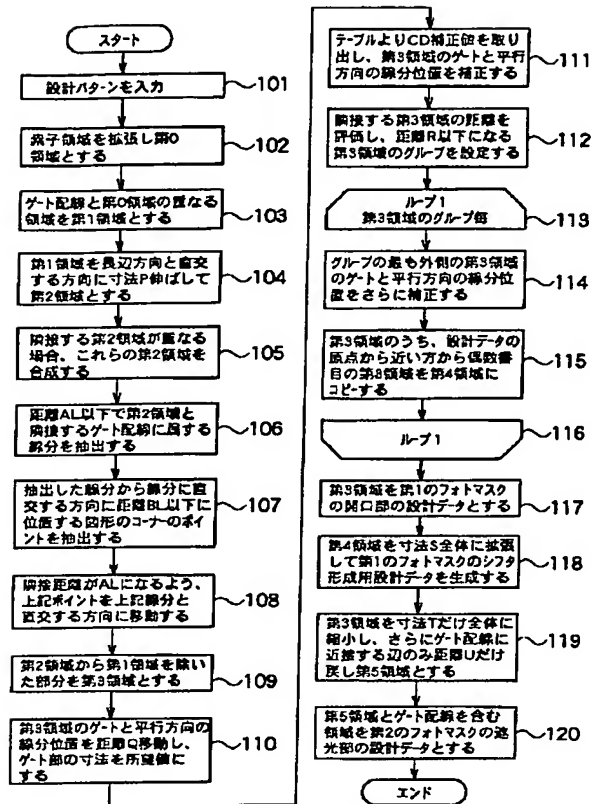
*・【符号の説明】

- 11、31 ゲート配線
- 12、32、43 素子領域
- 13 遮光部
- 14 開口部
- 15 シフト開口部
- 16 ゲート部
- 17 連結配線部
- 18 コンタクトパッド部
- 19 エンドキャップ部
- 20 ゲート部を覆う遮光パターン部
- 21 レジスト
- 22 半導体シリコン基板
- 23 ゲート酸化膜
- 24 ポリシリコン膜
- 25 潜像領域
- 26 露光光
- 27 レベンソンマスク
- 28 トリムマスク
- 29 レジストパターン
- 30 コンタクト
- 33 第0領域
- 34 第1領域
- 35 第2領域
- 36 第3領域
- 37 第4領域
- 38 第5領域
- 39 第6領域
- 40 第7領域
- 41 近接する線分
- 42 抽出した図形の角のポイント
- 44 解像線幅
- 45 距離

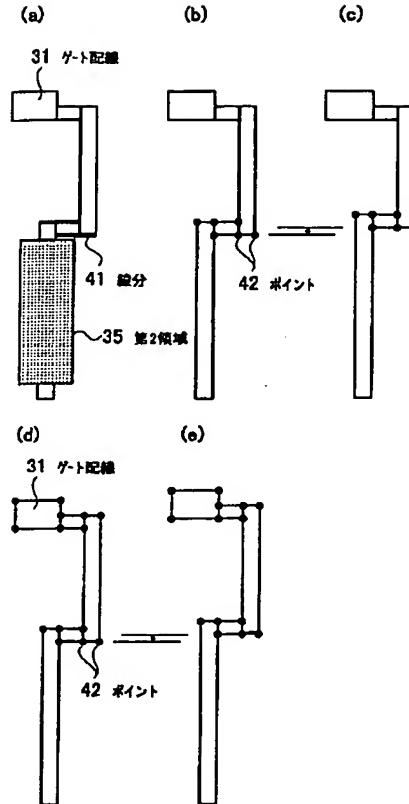
・【図6】



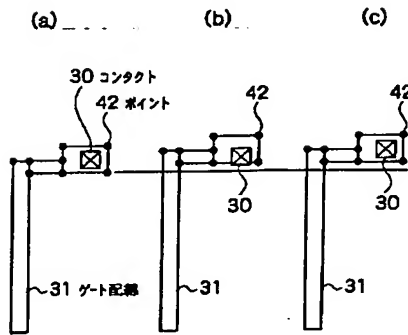
・【図1】



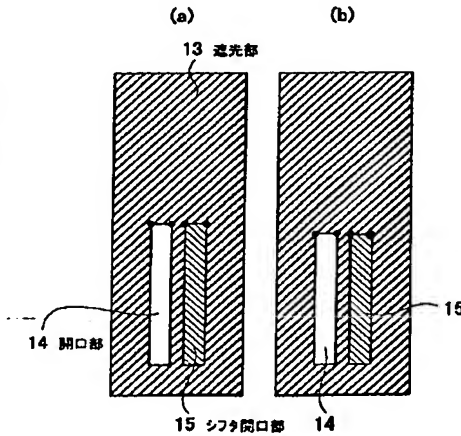
・【図2】



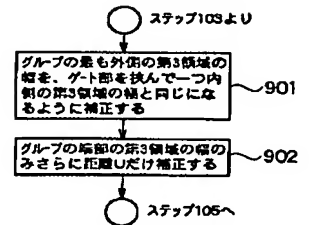
・【図7】



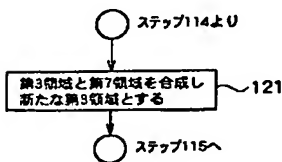
・【図8】



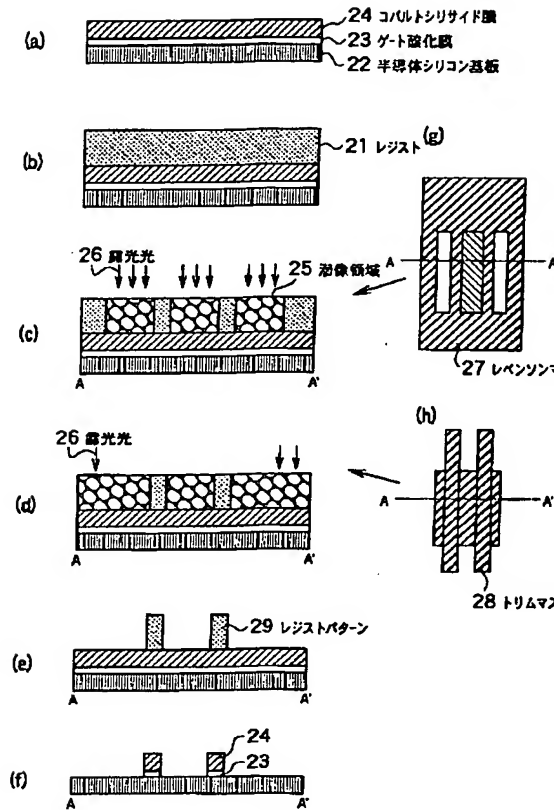
・【図9】



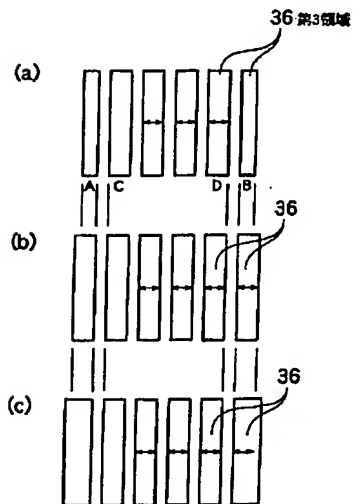
・【図12】



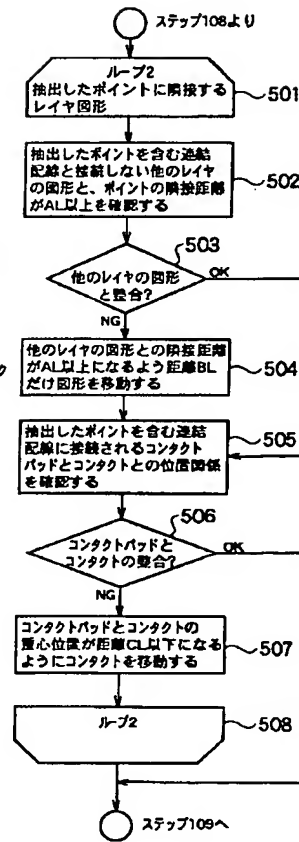
・【図3】



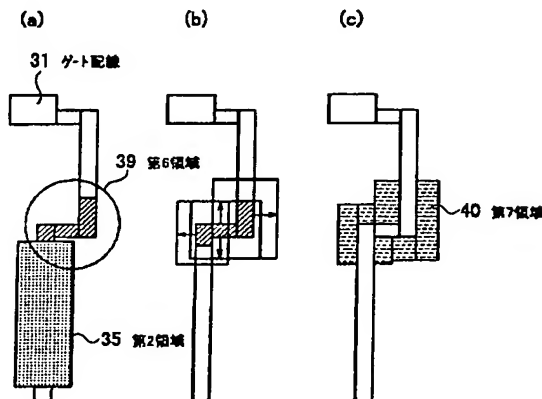
・【図10】



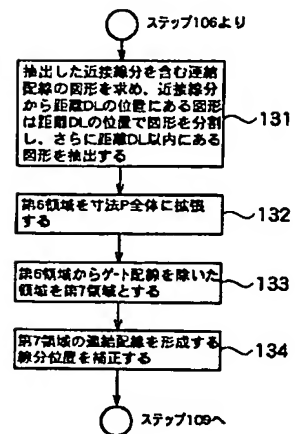
・【図5】



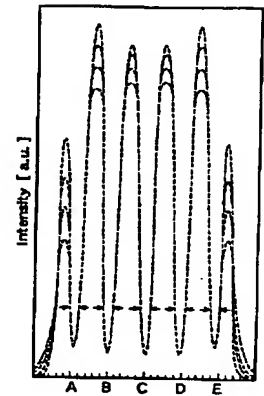
・【図13】



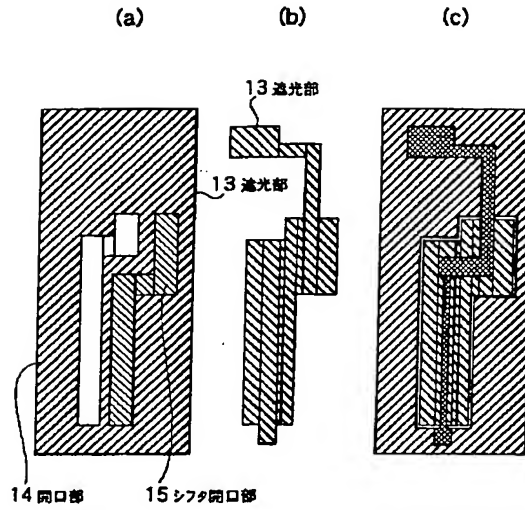
・【図11】



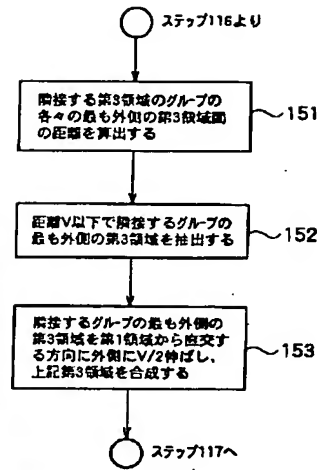
・【図26】



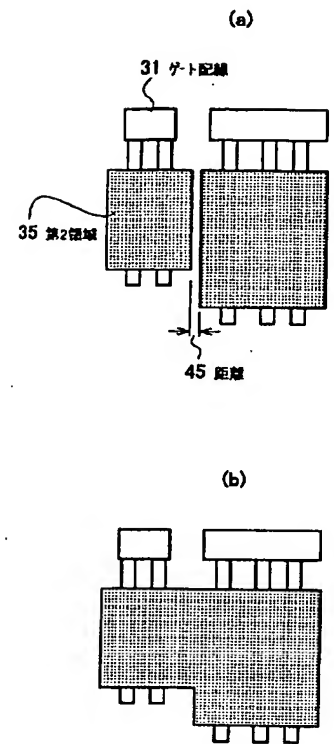
・【図14】



・【図15】



・【図16】



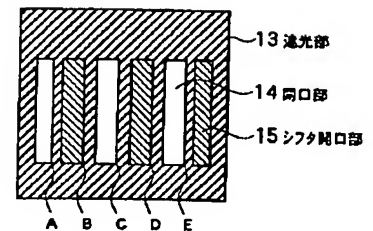
・【図17】

開口幅 [nm]	200 ~220	220 ~275	275 ~330	330 ~385	385 ~440	440 ~550	550 ~
補正量 [nm]	-10	0 (基準)	+10	+20	+25	+30	+25

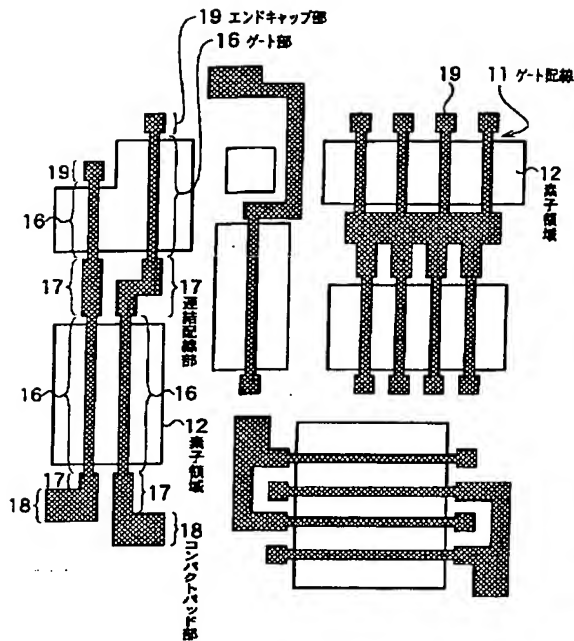
・【図18】

開口幅 [nm]	200 ~220	220 ~275	275 ~330	330 ~385	385 ~440	440 ~550	550 ~
補正量 [nm]	+10	+10	+5	0	-5	-10	-10

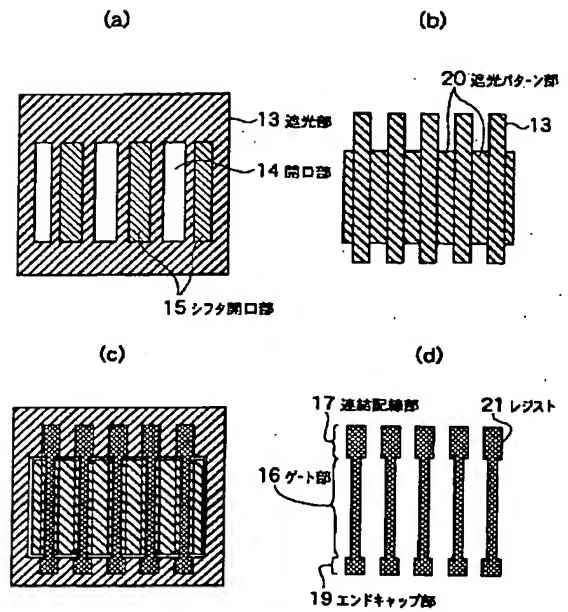
・【図25】



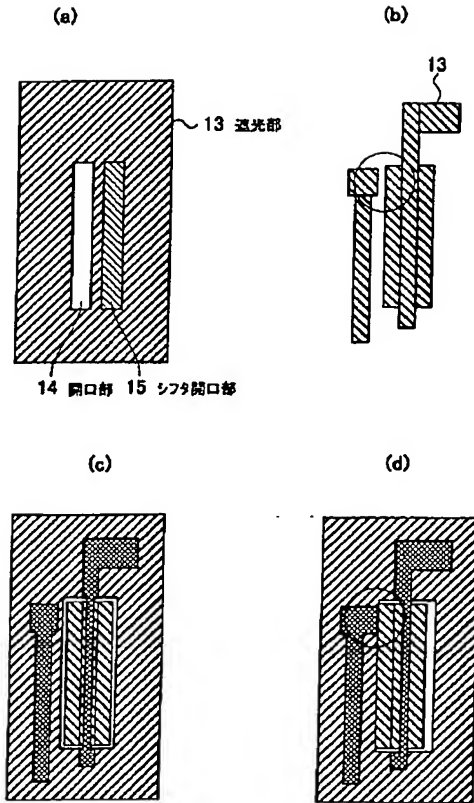
・【図19】



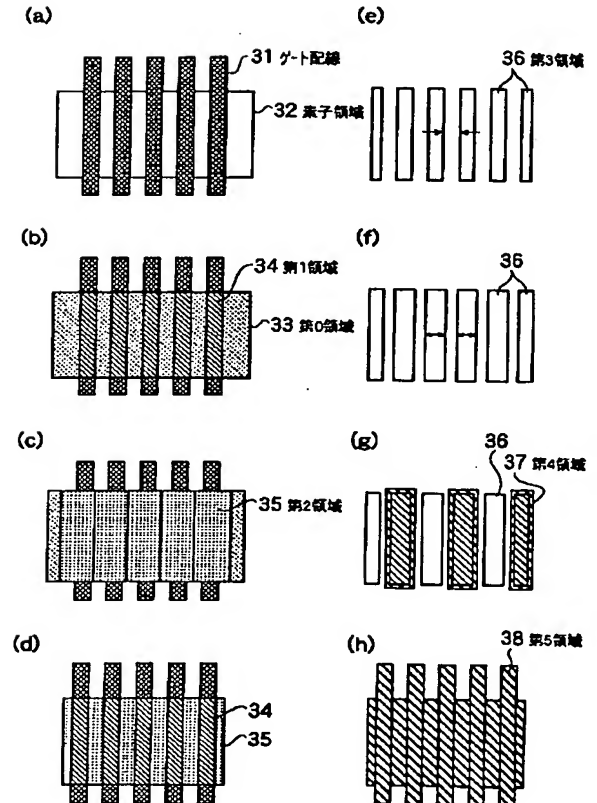
・【図20】



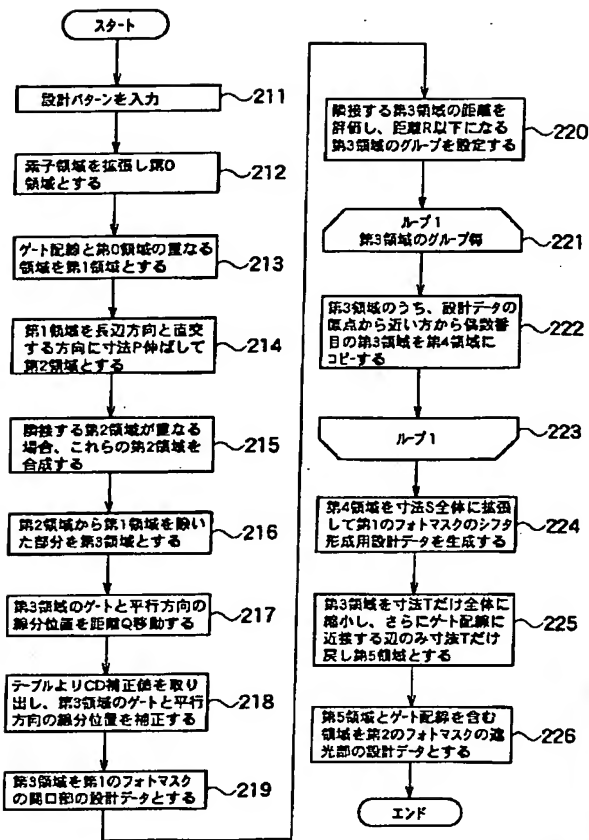
・【図24】



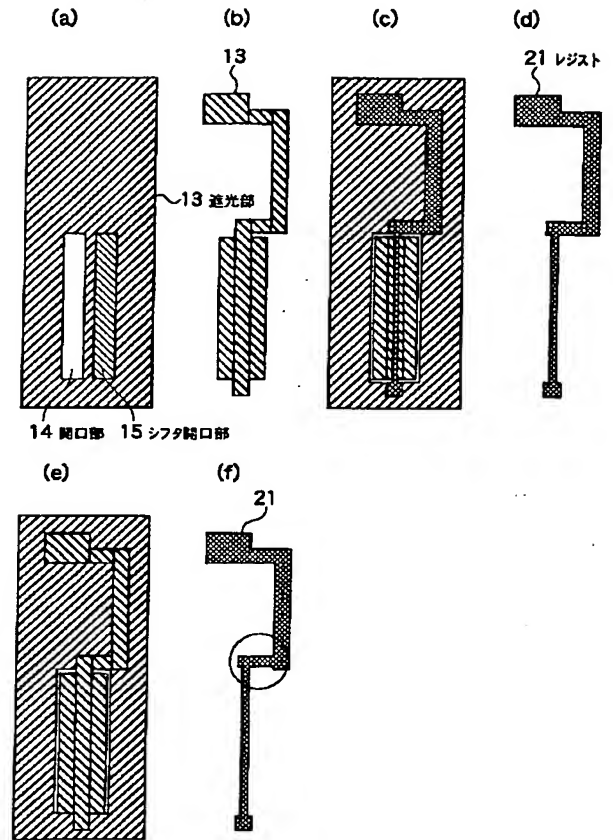
・【図22】



・【図21】



・【図23】



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-83689

(P2001-83689A)

(43) 公開日 平成13年3月30日 (2001.3.30)

(51) Int.Cl. ⁷	識別記号	F I	テ-リ-ト*(参考)
G 0 3 F 1/08		G 0 3 F 1/08	T 2 H 0 9 5
G 0 6 F 17/50		G 0 6 F 15/60	6 5 8 M 5 B 0 4 6
H 0 1 L 21/027		H 0 1 L 21/30	5 0 2 W

審査請求 未請求 請求項の数 6 O L (全 26 頁)

(21) 出願番号 特願平11-260270

(22) 出願日 平成11年9月14日 (1999.9.14)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 吉川 圭

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72) 発明者 白井 聡

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

最終頁に続く

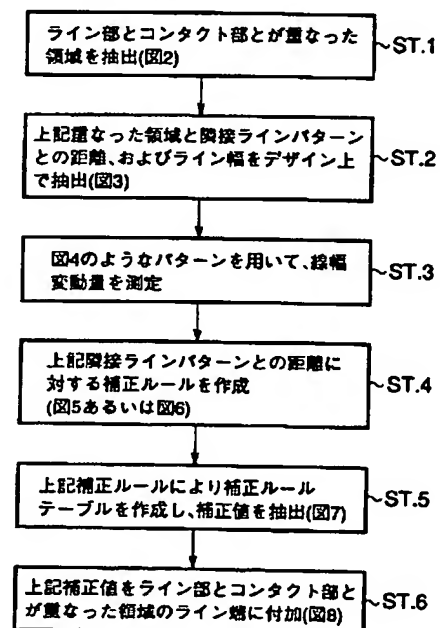
(54) 【発明の名称】 半導体製造用マスクのパターン補正方法およびそのパターン補正方法を記録した記録媒体

(57) 【要約】

・【課題】 十分な補正精度を得ることができる半導体製造用マスクのパターン補正方法を提供すること。

・【解決手段】 ライン部とコンタクト部とが重なった領域を抽出し (ST. 1)、上記重なった領域とこの重なった領域に隣接する他のライン部とのスペース、および前記ライン部のライン幅を抽出し (ST. 2)、ウェーハプロセス後に生ずるライン部のライン幅変動量とスペースとの依存性を取得し (ST. 3)、依存性を設計グリッド幅毎に分割し、この設計グリッド幅と依存性との交点を抽出し (ST. 4)、関係を交点区間毎に区切り、交点区間毎に、設計グリッド幅の整数倍の補正を行う補正ルールテーブルを作成し (ST. 5)、上記重なった領域に対し、補正ルールテーブルに基いた設計グリッド幅の整数倍の補正を行う (ST. 6)。

補正フロー



1

・【特許請求の範囲】

・【請求項1】 ライン部とコンタクト部とが重なった領域を抽出する第1の工程と、

前記重なった領域とこの重なった領域に隣接する他のライン部とのスペース、および前記ライン部のライン幅を抽出する第2の工程と、

前記ライン幅毎に、ウェーハプロセス後に生ずる前記ライン部のライン幅変動量と前記スペースとの関係を取得する第3の工程と、

前記関係を設計グリッド幅毎に分割し、この設計グリッド幅と前記関係との交点を抽出する第4の工程と、

前記関係を交点区間毎に区切り、前記交点区間毎に、前記設計グリッド幅の整数倍の補正を行う補正ルールテーブルを作成する第5の工程と、

前記スペースと前記交点区間との対応関係を求め、前記補正ルールテーブルに基いた前記設計グリッド幅の整数倍の補正を、前記重なった領域に対して行う第6の工程とを具備することを特徴とする半導体製造用マスクのパターン補正方法。

・【請求項2】 ライン部とコンタクト部とが重なった領域を抽出する第1の工程と、

前記重なった領域とこの重なった領域に隣接する他のライン部とのスペース、および前記ライン部のライン幅を抽出する第2の工程と、

前記ライン幅毎に、ウェーハプロセス後に生ずる前記ライン部のショートニング量と前記スペースとの関係を取得する第3の工程と、

前記関係を設計グリッド幅毎に分割し、この設計グリッド幅と前記関係との交点を抽出する第4の工程と、

前記関係を交点区間毎に区切り、前記交点区間毎に、前記設計グリッド幅の整数倍の補正を行う補正ルールテーブルを作成する第5の工程と、

前記スペースと前記交点区間との対応関係を求め、前記補正ルールテーブルに基いた前記設計グリッド幅の整数倍の補正を、前記重なった領域に対して行う第6の工程とを具備することを特徴とする半導体製造用マスクのパターン補正方法。

・【請求項3】 コンタクト部とトランジスタ領域とが重なった領域を抽出する第1の工程と、

前記トランジスタ領域に隣接する他のトランジスタ領域との間のスペース、および前記トランジスタ領域端から前記重なった領域までの距離Fを抽出する第2の工程と、

前記コンタクト部をデザインルールで規定された最小フリンジ量D拡大する第3の工程と、

前記補正量とスペースとの関係を取得する第4の工程と、

前記関係を設計グリッド幅毎に分割し、この設計グリッド幅と前記関係との交点を抽出する第5の工程と、

前記関係を交点区間毎に区切り、前記交点区間毎に、前

2

記設計グリッド幅の整数倍の補正を行う補正ルールテーブルを作成する第6の工程と、

前記スペースと前記交点区間との対応関係を求め、前記補正ルールテーブルに基いた前記設計グリッド幅の整数倍の補正を、 $D \leq F$ の場合、前記トランジスタ領域端の全体に対して行い、 $F < D$ の場合、前記トランジスタ領域端の、前記トランジスタ領域端と前記拡大したコンタクト部とが接する辺を除いた部分に対して行う第7の工程とを具備することを特徴とする半導体製造用マスクのパターン補正方法。

・【請求項4】 ライン部とコンタクト部とが重なった領域を抽出する第1の手順と、

前記重なった領域とこの重なった領域に隣接する他のライン部とのスペース、および前記ライン部のライン幅を抽出する第2の手順と、

前記ライン幅毎に、ウェーハプロセス後に生ずる前記ライン部のライン幅変動量と前記スペースとの関係を取得する第3の手順と、

前記関係を設計グリッド幅毎に分割し、この設計グリッド幅と前記関係との交点を抽出する第4の手順と、

前記関係を交点区間毎に区切り、前記交点区間毎に、前記設計グリッド幅の整数倍の補正を行う補正ルールテーブルを作成する第5の手順と、

前記スペースと前記交点区間との対応関係を求め、前記補正ルールテーブルに基いた前記設計グリッド幅の整数倍の補正を、前記重なった領域に対して行う第6の手順とを記録したことを特徴とするコンピュータにより読み取り可能な記録媒体。

・【請求項5】 ライン部とコンタクト部とが重なった領域を抽出する第1の手順と、

前記重なった領域とこの重なった領域に隣接する他のライン部とのスペース、および前記ライン部のライン幅を抽出する第2の手順と、

前記ライン幅毎に、ウェーハプロセス後に生ずる前記ライン部のショートニング量と前記スペースとの関係を取得する第3の手順と、

前記関係を設計グリッド幅毎に分割し、この設計グリッド幅と前記関係との交点を抽出する第4の手順と、

前記関係を交点区間毎に区切り、前記交点区間毎に、前記設計グリッド幅の整数倍の補正を行う補正ルールテーブルを作成する第5の手順と、

前記スペースと前記交点区間との対応関係を求め、前記補正ルールテーブルに基いた前記設計グリッド幅の整数倍の補正を、前記重なった領域に対して行う第6の手順とを記録したことを特徴とするコンピュータにより読み取り可能な記録媒体。

・【請求項6】 コンタクト部とトランジスタ領域とが重なった領域を抽出する第1の手順と、

前記トランジスタ領域に隣接する他のトランジスタ領域との間のスペース、および前記トランジスタ領域端から

3

前記重なった領域までの距離Fを抽出する第2の手順と、

前記コンタクト部をデザインルールで規定された最小フリンジ量D拡大する第3の手順と、

前記補正量とスペースとの関係を取得する第4の手順と、

前記関係を設計グリッド幅毎に分割し、この設計グリッド幅と前記関係との交点を抽出する第5の手順と、

前記関係を交点区間毎に区切り、前記交点区間毎に、前記設計グリッド幅の整数倍の補正を行う補正ルールテーブルを作成する第6の手順と、

前記スペースと前記交点区間との対応関係を求め、前記補正ルールテーブルに基いた前記設計グリッド幅の整数倍の補正を、 $D \leq F$ の場合、前記トランジスタ領域端の全体に対して行い、 $F < D$ の場合、前記トランジスタ領域端の、前記トランジスタ領域端と前記拡大したコンタクト部とが接する辺を除いた部分に対して行う第7の手順とを記録したことを特徴とするコンピュータにより読み取り可能な記録媒体。

・【発明の詳細な説明】

・【0001】

・【発明の属する技術分野】この発明は、半導体装置製造におけるリソグラフィ工程で用いられる露光用マスクのパターン補正方法とマスクパターン補正装置、そしてそれらを用いた露光用マスクと半導体装置に関する。

・【0002】

・【従来の技術】近年、半導体デバイスの微細化に伴い、仕上がり設計寸法通りにできない箇所の問題が顕在化してきた。その一例として、ライン終端部のショートニングが挙げられる。ショートニングの原因としては、マスクが設計寸法通りにできていない、ライン終端のコーナ部がすでに光の解像限界である、また、エッチングによる変換差などが挙げられる。

・【0003】ボーダーレスコンタクトの配線パターンを例にとると、コンタクトの落ちるライン終端がショートニングした場合、ラインとコンタクトホールとの接触面積が減少し、ビア抵抗の上昇を引き起こす。これは、デバイスのパフォーマンスを落とす一因となる。

・【0004】このようなショートニングを回避するため、コンタクト部に対して予め、ある程度のフリンジ量を付けて設計する、あるいは実験により見積もったフリンジ量を補正ツールを使うことにより一律に付ける手法が一般的に用いられている。

・【0005】しかし、ショートニング量等の仕上がり誤差は、パターンの疎密、あるいは線幅などにより変化することが十分に考えられる。

・【0006】

・【発明が解決しようとする課題】このように、従来のマスクパターン補正方法では、仕上がり誤差のパターン依存性が考慮されておらず、十分な補正精度が必ずしも得

4

られてはいない、という事情がある。

・【0007】この発明は、上記事情に鑑み為されたもので、その目的は、十分な補正精度を得ることができる半導体製造用マスクのパターン補正方法を提供することにある。

・【0008】

・【課題を解決するための手段】上記目的を達成するために、この発明の第1の態様に係る半導体製造用マスクのパターン補正方法は、ライン部とコンタクト部とが重なった領域を抽出し、前記重なった領域とこの重なった領域に隣接する他のライン部とのスペース、および前記ライン部のライン幅を抽出し、前記ライン幅毎に、ウェーハプロセス後に生ずる前記ライン部のライン幅変動量と前記スペースとの関係を取得し、前記関係を設計グリッド幅毎に分割し、この設計グリッド幅と前記関係との交点を抽出し、前記関係を交点区間毎に区切り、前記交点区間毎に、前記設計グリッド幅の整数倍の補正を行う補正ルールテーブルを作成し、前記スペースと前記交点区間との対応関係を求め、前記補正ルールテーブルに基いた前記設計グリッド幅の整数倍の補正を、前記重なった領域に対して行うことを特徴としている。

・【0009】また、上記目的を達成するために、この発明の第2の態様に係る半導体製造用マスクのパターン補正方法は、ライン部とコンタクト部とが重なった領域を抽出し、前記重なった領域とこの重なった領域に隣接する他のライン部とのスペース、および前記ライン部のライン幅を抽出し、前記ライン幅毎に、ウェーハプロセス後に生ずる前記ライン部のショートニング量と前記スペースとの関係を取得し、前記関係を設計グリッド幅毎に分割し、この設計グリッド幅と前記関係との交点を抽出し、前記関係を交点区間毎に区切り、前記交点区間毎に、前記設計グリッド幅の整数倍の補正を行う補正ルールテーブルを作成し、前記スペースと前記交点区間との対応関係を求め、前記補正ルールテーブルに基いた前記設計グリッド幅の整数倍の補正を、前記重なった領域に対して行うことを特徴としている。

・【0010】また、上記目的を達成するために、この発明の第3の態様に係る半導体製造用マスクのパターン補正方法は、ライン部とコンタクト部とが重なった領域を抽出し、前記コンタクト部をデザインルールで規定された最小フリンジ量拡大し、拡大したコンタクト部と前記ライン部の端とが接する辺を抽出し、前記重なった領域とこの重なった領域に隣接する他のライン部とのスペース、および前記ライン部のライン幅を抽出し、前記ライン幅毎に、ウェーハプロセス後に生ずる前記ライン部のショートニング量と前記スペースとの関係を取得し、前記関係を設計グリッド幅毎に分割し、この設計グリッド幅と前記関係との交点を抽出し、前記関係を交点区間毎に区切り、前記交点区間毎に、前記設計グリッド幅の整数倍の補正を行う補正ルールテーブルを作成し、前記ス

5

ベースと前記交点区間との対応関係を求め、前記補正ルールテーブルに基いた前記設計グリッド幅の整数倍の補正を、前記接する辺に対して行うことを特徴としている。

・【0011】また、上記目的を達成するために、この発明の第4の態様に係る半導体製造用マスクのパターン補正方法は、トランジスタ領域上を走るライン部の終端部分のうち、ゲート端であり、かつトランジスタ領域上にない領域を抽出し、前記ゲート端であり、かつトランジスタ領域上にない領域の面積を抽出し、前記面積毎に、ウェーハプロセス後に生ずる前記ライン部のショートニング量と前記面積との関係を取得し、前記関係を設計グリッド幅毎に分割し、この設計グリッド幅と前記関係との交点を抽出し、前記関係を交点区間毎に区切り、前記交点区間毎に、前記設計グリッド幅の整数倍の補正を行う補正ルールテーブルを作成し、前記スペースと前記交点区間との対応関係を求め、前記補正ルールテーブルに基いた前記設計グリッド幅の整数倍の補正を、前記ゲート端であり、かつトランジスタ領域上にない領域に対して行うことを特徴としている。

・【0012】また、上記目的を達成するために、この発明の第5の態様に係る半導体製造用マスクのパターン補正方法は、トランジスタ領域のコーナー部を抽出し、前記コーナー部からライン部までの距離を抽出し、前記ライン部が前記コーナー部のラウンディングと重ならない最小距離を取得し、前記ライン部が前記コーナー部のラウンディングと重なる場合、切り欠き処理を、前記コーナー部に対して行うことを特徴としている。

・【0013】また、上記目的を達成するために、この発明の第6の態様に係る半導体製造用マスクのパターン補正方法は、コンタクト部がトランジスタ領域に接触する第1の接触領域、およびコンタクト部がライン部に接触する第2の接触領域を抽出し、前記第1、第2の接触領域の直径を抽出し、前記第1、第2の接触領域の直径差と、前記ライン部の寸法との関係を取得し、前記関係を設計グリッド幅毎に分割し、この設計グリッド幅と前記関係との交点を抽出し、前記関係を交点区間毎に区切り、前記交点区間毎に、前記設計グリッド幅の整数倍の補正を行う補正ルールテーブルを作成し、前記ライン部の寸法と前記交点区間との対応関係を求め、前記補正ルールテーブルに基いた前記設計グリッド幅の整数倍の補正を、前記前記第1の接触領域および前記第2の接触領域のいずれかに対して行うことを特徴としている。

・【0014】また、上記目的を達成するために、この発明の第7の態様に係る半導体製造用マスクのパターン補正方法は、コンタクト部に対してライン部が重なる第1の領域、およびライン部に対してコンタクト部が重なる第2の領域を抽出し、前記第1の領域とこの第1の領域に隣接する他のライン部とのスペース、および前記ライン部のライン幅を抽出し、前記ライン幅毎に、ウェーハ

6

プロセス後に生ずる前記ライン部のショートニング量と前記スペースとの第1の関係を取得し、前記関係を設計グリッド幅毎に分割し、この設計グリッド幅と前記関係との交点を抽出し、前記関係を交点区間毎に区切り、前記交点区間毎に、前記設計グリッド幅の整数倍の補正を行う補正ルールテーブルを作成し、前記第2の領域から前記ライン部の終端までの距離を抽出し、前記ライン幅毎に、ウェーハプロセス後に生ずる前記ライン部のショートニング量と前記第2の領域から前記ライン部の終端までの距離との第2の関係を取得し、前記関係を設計グリッド幅毎に分割し、この設計グリッド幅と前記関係との交点を抽出し、前記関係を交点区間毎に区切り、前記交点区間毎に、前記設計グリッド幅の整数倍の補正を行う補正ルールテーブルを作成し、前記スペースと前記交点区間との対応関係を、および前記第2の領域から前記ライン部の終端までの距離との対応関係を求め、前記補正ルールテーブルに基いた前記設計グリッド幅の整数倍の補正を、前記第1、第2の領域に対して行うことを特徴としている。

・【0015】また、上記目的を達成するために、この発明の第8の態様に係る半導体製造用マスクのパターン補正方法は、コンタクト部とトランジスタ領域とが重なった領域を抽出し、前記トランジスタ領域に隣接する他のトランジスタ領域との間のスペース、および前記トランジスタ領域端から前記重なった領域までの距離Fを抽出し、前記コンタクト部をデザインルールで規定された最小フリンジ量D拡大し、前記補正量とスペースとの関係を取得し、前記関係を設計グリッド幅毎に分割し、この設計グリッド幅と前記関係との交点を抽出し、前記関係を交点区間毎に区切り、前記交点区間毎に、前記設計グリッド幅の整数倍の補正を行う補正ルールテーブルを作成し、前記スペースと前記交点区間との対応関係を求め、前記補正ルールテーブルに基いた前記設計グリッド幅の整数倍の補正を、 $D \leq F$ の場合、前記トランジスタ領域端の全体に対して行い、 $F < D$ の場合、前記トランジスタ領域端の、前記トランジスタ領域端と前記拡大したコンタクト部とが接する辺を除いた部分に対して行うことを特徴としている。

・【0016】上記構成を有する半導体製造用マスクのパターン補正方法であると、

・(1) ウェーハプロセス後に生ずるライン部のライン幅変動量と、ライン部とコンタクト部とが重なった領域とこの重なった領域に隣接する他のライン部とのスペースとの関係。

・【0017】(2) ウェーハプロセス後に生ずるライン部のショートニング量と、ライン部とコンタクト部とが重なった領域とこの重なった領域に隣接する他のライン部とのスペースとの関係。

・【0018】(3) ウェーハプロセス後に生ずるライン部のショートニング量とトランジスタ領域上を走るライ

50

7

シ部の終端部分のうち、ゲート端であり、かつトランジスタ領域上にない領域の面積との関係。

・【0019】(4) ウェーハプロセス後に生ずるトランジスタ領域のラウンディング量とライン部との関係。

・【0020】(5) ウェーハプロセス後に生ずるコンタクト部がトランジスタ領域に接触する第1の接触領域、およびコンタクト部がライン部に接触する第2の接触領域の直径差と、ライン部の寸法との関係。

・【0021】(6) ウェーハプロセス後に生ずるライン部のショートニング量とライン部に対してコンタクト部が重なる領域からライン部の終端までの距離との関係。

・【0022】(7) 補正量と一のトランジスタ領域に隣接する他のトランジスタ領域との間のスペースとの関係、拡大したコンタクト部が一のトランジスタ領域に接するか否か。

・【0023】上記(1)～(7)のように、補正するパターンの周囲の環境を考慮するので、周囲の環境を考慮しない補正方法に比べて、十分な補正精度を得ることができる。

・【0024】

・【発明の実施の形態】以下、この発明の実施形態を図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

・【0025】[第1の実施形態] まず、この発明の第1の実施形態に係るマスクパターン補正方法を説明する。

・【0026】第1の実施形態は、ボーダーレスコンタクトを有する配線パターン(ライン部)において、コンタクト部と重なった領域のパターンを、その領域周囲のパターンの疎密、およびライン部のライン幅を考慮して補正し、変更するフリッジ処理である。

・【0027】図1は、第1の実施形態に係るマスクパターン補正方法を示す流れ図、図2～図8はそれぞれ、図1に示す各ステップを説明するための図である。

・【0028】図1に示すステップST. 1において、まず、ライン部とコンタクト部とが重なった領域を抽出する。図2に、第1の実施形態に用いられた、ライン部、コンタクト部、およびこれらが重なった領域をそれぞれ持つパターンの一例を示す。なお、図2に示す一例は、デザイン上、たとえばCADデータ上のものである。

・【0029】図2に示すように、一例に係るパターンは、互いに並行するライン部1、2、3-1、3-2をそれぞれ持つ。ライン部3-1、3-2はそれぞれ、ライン部1とライン部2との間に配置されている。コンタクト部4-1は、ライン部3-1の終端に重なっている。また、コンタクト部4-2は、ライン部3-2の中程に重なり、その終端には重なっていない。

・【0030】次に、ステップST. 2において、上記重なった領域と、これに隣接するライン部とのスペース(距離)をそれぞれ、デザイン上、たとえばCADデータ上で抽出する。

8

・【0031】ここで、上記スペースに関しては、図3に示すように、ライン部の終端に重なるコンタクト部4-1の場合、重なった領域の三辺それぞれに相對したライン部までのスペースをそれぞれ抽出する。一方、コンタクト部4-2のように、ライン部の中程のみに重なる場合には、重なった領域の二辺それぞれに相對したライン部までのスペースをそれぞれ抽出する。

・【0032】上記一例に係るパターンにおいては、コンタクト部4-1からライン部1までのスペース S_1 ；コンタクト部4-1からライン部3-2までのスペース S_2 ；およびコンタクト部4-1からライン部2までのスペース S_3 をそれぞれデザイン上で測定し、抽出した。また、コンタクト部4-2からライン部1までのスペース S_4 ；およびコンタクト部4-2からライン部3-2までのスペース S_5 をそれぞれデザイン上で測定し、抽出した。

・【0033】さらにステップST. 2において、スペース S_1 ～ S_5 の他、ライン部のライン幅を抽出する。

・【0034】上記一例に係るパターンにおいては、コンタクト部4-1が重なるライン部3-1のライン幅 L をデザイン上で測定し、抽出した。なお、ライン部3-1のライン幅 L と、ライン幅3-2のライン幅とは互いに等しい。

・【0035】次に、ステップST. 3において、スペースとライン幅変動量との関係を、実験的、あるいはシミュレーションにより取得する。この関係は、実験的に取得する場合、図4に示すようなライン・アンド・スペース(L/S)パターンを持つ測定パターンをウェーハ上に形成し、これを走査型電子顕微鏡(SEM)や電氣的測定を用いて、ライン幅変動量を測定すれば良い。また、シミュレーションにより取得する場合には、図4に示すような測定パターンを製造プロセスシミュレータに再現させ、そのライン幅変動量を計算すれば良い。

・【0036】次に、ステップST. 4において、取得したスペースとライン幅変動量との関係を用いて、隣接するライン部とのスペースに対する補正ルールを作成する。スペースとライン幅変動量との関係を、図5および図6に示す。

・【0037】図5および図6に示すように、一例に係るパターンにおいては、ライン幅 L は、スペース S が大きくなる程、ライン幅変動量が“0”、即ち設計値から大きくずれる(変動極性I)。つまり、スペース S が大きくなる程、ライン幅 L は細くなる。このような傾向に基づき、第1の実施形態では、上記重なった領域に対して、スペース S が大きくなるにしたがって、上記重なった領域の幅が大きくなるようにパターンを補正する補正ルールを作成する。

・【0038】次に、ステップST. 5において、上記補正ルールにより、補正ルールテーブルを作成する。このために、図5および図6に示すように、縦軸(ライン幅変動量)を、設計グリッド幅 W 毎に分割する(設計グリッド幅 W は、たとえばCAD上で一度に付加することの

できる最小の幅である。)。次に、設計グリッド幅 W と変動曲線 I との交点をそれぞれ抽出する。この作業によって得た交点をそれぞれ“a”、“b”、“c”とする。次に、スペース S が“ $S < a$ ”の範囲では、補正値を“0”とし、スペース S が“ $a \leq S < b$ ”の範囲では、“ $+W$ ”の補正値を設ける。さらにスペース S が“ $b \leq S < c$ ”の範囲では、“ $+2W$ ”の補正値を設け、スペース S が“ $c \leq S$ ”の範囲では、“ $+3W$ ”の補正値を設ける。このような作業により、図7に示すような補正ルールテーブルが作成される。

・【0039】さらにステップST. 5において、作成した補正ルールテーブルから、ステップST. 2で求めたスペース S_1 、 S_2 、 S_3 、 S_4 、 S_5 に対する補正値を抽出する。

・【0040】次に、ステップST. 6において、抽出した補正値を、ライン部とコンタクト部とが重なった領域のライン端に、フリンジ量として付加する。このフリンジ処理は、この発明に適合した補正ツールをプログラムにより作成し、たとえばCADに格納しておき、適宜用いることで、自動的に行うことができる。フリンジ処理が終了した状態の一例に係るパターンを、図8に示す。図8に示すように、上記重なった領域にはそれぞれ、フリンジ5-1、5-2が設けられている。

・【0041】このような第1の実施形態によれば、ライン部とコンタクト部とが重なった領域に対して、パターンの疎密、およびそのライン幅等、その周囲の環境を考慮した補正フリンジ量を求め、求めた補正フリンジ量を、補正ルールテーブル化しておく。その後、補正ルールテーブルに従って、補正ツールを用いて自動でフリンジ処理を行う。

・【0042】このようなフリンジ処理が行われた半導体製造用マスクを用いて、ウェーハプロセスにより形成されたパターンにおいては、たとえば周囲の環境に関係なく一律なフリンジ処理を行ったマスクを用いた場合に比べて、上記重なった領域を、より設計値に近い状態、あるいは設計値通りに仕上げるができる。

・【0043】このように上記重なった領域が、より設計値に近い状態に仕上がることで、たとえばコンタクト面積の減少等に伴ったコンタクト抵抗の上昇の問題等を、回避できる。よって、形成された集積回路においては、設計値に近いコンタクト抵抗を得ることができ、回路止、期待される電氣的パフォーマンスを、容易に得ることができる。

・【0044】また、補正ルールの一例(図5)と、他の例(図6)との違いは、ライン幅変動量“0”を基準にして補正値を“ W ”ずつ付けていくか、ライン幅変動量“0”に設計グリッド幅 W の $1/2$ を足した値を基準にして補正値を“ W ”ずつ付けていくかである。どちらの例でも、ウェーハ上に形成されたパターンを、設計値に近い状態、あるいは設計値通りに仕上げることができ

る。

・【0045】しかし、図6に示す設計グリッド幅 W の $1/2$ を足した値を基準にして補正値を“ $+W$ ”ずつ付けていく他の例のほうが、設計値に近い状態、あるいは設計値通りに仕上がり易い。

・【0046】なぜならば図5に示す一例においては、たとえば“ $S < c$ ”のとき、ライン幅 L の変動を、ライン幅変動量“0”(即ち設計値)から“ $-W$ ”の範囲に変動に抑えることができるのに対し、図6に示す他の例においては、ライン幅変動量“0”(即ち設計値)から“ $\pm W/2$ ”の範囲に、さらに変動を抑えることができるからである。

・【0047】また、図8に示すように、上記一例に係るパターンにおいては、ライン幅 L を持つライン部3-1、3-2に対してフリンジ5-1、5-2を付加する補正を行ったが、ライン幅 L 以外のライン幅が存在する場合には、各ライン幅毎にそれぞれ、上記と同様な方法で補正ルールを作成し、この補正ルールにより補正ルールテーブルを作成する。その後、ライン幅毎に、それぞれ作成した補正ルールテーブルに基づいてフリンジを付加する補正を行えば良い。

・【0048】[第2の実施形態] 次に、この発明の第2の実施形態に係るマスクパターン補正方法を説明する。

・【0049】第2の実施形態は、第1の実施形態と同様に、ボーダーレスコンタクトを有する配線パターン(ライン部)において、コンタクト部と重なった領域のパターンを、その領域周囲のパターンの疎密、およびライン部のライン幅を考慮して補正し、変更するフリンジ処理である。異なるところは、第1の実施形態では、ライン幅変動量とスペースとの関係に基づき、補正ルールを作成したのに対し、第2の実施形態では、ライン部のショートニング量とスペースとの関係に基づき、補正ルールを作成するようにしたことである。

・【0050】図9は、第2の実施形態に係るマスクパターン補正方法を示す流れ図、図10～図16はそれぞれ、図9に示す各ステップを説明するための図である。

・【0051】まず、図9に示すステップST. 1において、ライン部とコンタクト部とが重なった領域を抽出する。図10に、第2の実施形態に用いられた、パターンの一例を示す。なお、図10に示す一例は、デザイン上、たとえばCADデータ上のものであり、図2に示した一例と同様のパターンである。

・【0052】次に、ステップST. 2において、上記重なった領域と、これに隣接するライン部とのスペース(距離)をそれぞれ、デザイン上、たとえばCADデータ上で抽出する。

・【0053】ここで、上記スペースに関しては、第1の実施形態と同様に、コンタクト部4-1からライン部1までのスペース S_1 、コンタクト部4-1からライン部3-2までのスペース S_2 、コンタクト部4-1からライン部2

11

までのスペースS₃、コンタクト部4-2からライン部1までのスペースS₄、およびコンタクト部4-2からライン部2までのスペースS₅をそれぞれデザイン上で測定し、抽出した。

・【0054】さらにステップS T. 2において、スペースS₁～S₅とともに、ライン部のライン幅を抽出する。ここでも第1の実施形態と同様に、コンタクト部4-1が重なるライン部3-1のライン幅Lをデザイン上で測定し、抽出した。なお、ライン部3-1のライン幅Lと、ライン幅3-2のライン幅とは互いに等しい、とする。

・【0055】次に、ステップS T. 3において、スペースとライン部のショートニング量との関係を、実験的、あるいはシミュレーションにより取得する。この関係は、実験的に取得する場合、図12に示すようなパターンを持つ測定パターンをウェーハ上に形成し、これを走査型電子顕微鏡（SEM）や電気的測定を用いて、ショートニング量を測定すれば良い。また、シミュレーションにより取得する場合には、図12に示すような測定パターンを製造プロセスシミュレータに再現させ、そのショートニング量を計算すれば良い。

・【0056】次に、ステップS T. 4において、取得したスペースとショートニング量との関係を用いて、隣接するライン部とのスペースに対する補正ルールを作成する。スペースとショートニング量との関係を、図13および図14に示す。

・【0057】図13および図14に示すように、一例に係るパターンのショートニング量は、スペースSが大きくなる程、ショートニング量が“0”、即ち設計値から大きくずれる（変動曲線I）。つまり、スペースSが大きくなる程、ライン幅Lは細くなる。このような傾向に基き、第2の実施形態では、上記重なった領域に対し、スペースSが大きくなるにしたがって、上記重なった領域の幅が大きくなるようにパターンを補正する補正ルールを作成する。

・【0058】次に、ステップS T. 5において、上記補正ルールにより、補正ルールテーブルを作成する。このために、まず、図13、および図14に示すように、縦軸（ショートニング量）を、設計グリッド幅W毎に分割する（設計グリッド幅Wは、たとえばCAD上で一度に付加することのできる最小の幅である。）。次に、設計グリッド幅Wと変動曲線Iとの交点をそれぞれ抽出する。この作業によって得た交点をそれぞれ“a”、“b”、“c”とする。次に、スペースSが“S<a”の範囲では補正値を“0”とし、スペースSが“a≤S<b”の範囲では、“+W”の補正値を設ける。さらにスペースSが“b≤S<c”の範囲では、“+2W”の補正値、スペースSが“c≤S”の範囲では、“+3W”の補正値を設ける。このような作業により、図15に示すような補正ルールテーブルを作成する。

・【0059】さらにステップS T. 5において、作成し

12

た補正ルールテーブルから、ステップS T. 2で求めたスペースS₁、S₂、S₃、S₄、S₅に対する補正値を抽出する。

・【0060】次に、ステップS T. 6において、抽出した補正値を、ライン部とコンタクト部とが重なった領域のライン端に、フリンジ量として付加する。このフリンジ処理は、この発明に適合した補正ツールをプログラムにより作成して、たとえばCADに格納しておき、適宜用いることで、自動的に行うことが可能である。フリンジ処理が終了した状態の一パターン例を、図16に示す。図16に示すように、上記重なった領域にはそれぞれ、フリンジ5-1、5-2が設けられている。

・【0061】このような第2の実施形態によれば、第1の実施形態と同様に、ライン部とコンタクト部とが重なった領域に対して、パターンの疎密、およびそのライン幅等、その周囲の環境を考慮した補正フリンジ量を求め、求めた補正フリンジ量を補正ルールテーブル化する。この後、補正ルールテーブルに従って、補正ツールを用いて自動でフリンジ処理を行う。

・【0062】このようなフリンジ処理が行われた半導体製造用マスクを用いて、ウェーハプロセスにより形成されたパターンにおいては、たとえば周囲の環境に関係なく一律なフリンジ処理を行ったマスクを用いた場合に比べて、上記重なった領域を、より設計値に近い状態、あるいは設計値通りに仕上げることができる。

・【0063】このように上記重なった領域が、より設計値に近い状態に仕上がることで、たとえばコンタクト面積の減少等に伴ったコンタクト抵抗の上昇の問題を、回避できる。よって、形成された集積回路においては、設計値に近いコンタクト抵抗を得ることができ、回路上、期待される電氣的パフォーマンスを、容易に得ることができる。

・【0064】また、補正ルールの一例（図13）と、他の例（図14）との違いは、ショートニング量“0”を基準にして補正値を“W”ずつ付けていくか、ショートニング量“0”に設計グリッド幅Wの1/2を足した値を基準にして補正値を“W”ずつ付けていくかである。どちらの例でも、ウェーハ上に形成されたパターンを、設計値に近い状態、あるいは設計値通りに仕上げる事ができる。

・【0065】しかし、図14に示す設計グリッド幅Wの1/2を足した値を基準にして補正値を“+W”ずつ付けていく他の例のほうが、設計値に近い状態、あるいは設計値通りに仕上がり易い。

・【0066】なぜならば図13に示す一例においては、たとえば“S<c”のとき、ライン幅Lの変動を、ショートニング量“0”（即ち設計値）から“-W”の範囲に変動に抑えることができるのに対し、図14に示す他の例においては、ライン幅変動量“0”（即ち設計値）から“±W/2”の範囲に、さらに変動を抑えることが

できるためである。

・【0067】また、図16に示すように、上記一例に係るパターンにおいては、ライン幅Lを持つライン部3-1、3-2に対してフリンジ5-1、5-2を付加する補正を行ったが、ライン幅L以外のライン幅が存在する場合には、各ライン幅毎にそれぞれ、上記と同様な方法で補正ルールを作成し、この補正ルールにより補正ルールテーブルを作成する。この後、ライン幅毎に、それぞれ作成した補正ルールテーブルに基づいてフリンジを付加する補正を行えば良い。

・【0068】また、一パターン例に対して、第1、第2の実施形態の双方をそれぞれ適用することも可能である。この場合には、ライン部の短辺どうしが相対するスペースS₂に対して、第2の実施形態を適用し、ライン部の長辺どうしが相対するスペースS₁、S₃、S₄、S₅に対して、第1の実施形態を適用する。

・【0069】このようにする理由は、ライン部の短辺どうしが相対するスペースについては、ショートニングが起りやすいので、スペースとショートニング量との関係に基づき、補正するのが望ましいからである。同様に、ライン部の長辺どうしが相対するスペースについては、ライン幅変動（配線の細り）が起りやすいので、スペースとライン幅変動との関係に基づき、補正するのが望ましい。

・【0070】〔第3の実施形態〕次に、この発明の第3の実施形態に係るマスクパターン補正方法を説明する。

・【0071】第3の実施形態は、第1、第2の実施形態とは異なり、ボーダードコンタクトを有する配線パターン（ライン部）において、コンタクト部と重なった領域のパターンを、その領域周囲のパターンの疎密、および

ライン部のライン幅を考慮して補正し、変更するフリンジ処理である。

・【0072】図17は、第3の実施形態に係るマスクパターン補正方法を示す流れ図、図18～図25はそれぞれ、図17に示す各ステップを説明するための図である。

・【0073】まず、図17に示すステップST. 1において、まず、ライン部とコンタクト部とが重なった領域を抽出する。図18に、第3の実施形態に用いられたパターンの一例を示す。なお、図18に示す一例は、デザ

イン上、たとえばCADデータ上のものである。

・【0074】図18に示すように、一例に係るパターンは、互いに並行するライン部1、2、3-1、3-2を持つ。ライン部3-1、3-2はそれぞれ、ライン部1とライン部2との間に配置されている。コンタクト部4はライン部3-1の終端の部分に設けられたコンタクト領域3-cに重なっている。

・【0075】次に、ステップST. 2において、図19に示すように、コンタクト部4を最小デザインルール分だけ拡大する。点線6は、拡大したコンタクト部を示し

ている。

・【0076】さらに、ステップST. 2において、拡大したコンタクト部6とライン部3のライン端とが接する辺を抽出する。

・【0077】上記一例に係るパターンにおいては、上記接する辺は、コンタクト領域3-cのうち、ライン部3-2と相対する辺7である。

・【0078】次に、ステップST. 3において、上記接する辺7と、これに隣接するライン部とのスペース（距離）を、デザイン上、たとえばCADデータ上で抽出する。

・【0079】ここで、上記スペースに関しては、図20に示すように、接する辺7からライン部3-2までのスペースSをデザイン上で測定し、抽出した。

・【0080】さらにステップST. 3において、スペースSとともに、ライン部のライン幅を抽出する。ここでは、第1の実施形態と同様に、コンタクト部4が重なるライン部3-1のライン幅Lをデザイン上で測定し、抽出した（なお、ライン部3-1のライン幅Lと、ライン幅3-2のライン幅とは互いに等しい、とする）。

・【0081】次に、ステップST. 4において、スペースとライン部のショートニング量との関係を、実験的、あるいはシミュレーションにより取得する。この関係は、実験的に取得する場合、図21に示すようなパターンを持つ測定パターンをウェーハ上に形成し、これを走査型電子顕微鏡（SEM）や電氣的測定を用いて、ショートニング量を測定すれば良い。また、シミュレーションにより取得する場合には、図21に示すような測定パターンを製造プロセスシミュレータに再現させ、そのショートニング量を計算すれば良い。

・【0082】次に、ステップST. 5において、取得したスペースとショートニング量との関係を用いて、隣接するライン部とのスペースに対する補正ルールを作成する。スペースとショートニング量との関係を図22、および図23に示す。

・【0083】図22、および図23に示すように、一パターン例ではショートニング量は、変動曲線Iに示すようにスペースSが大きくなる程、ショートニング量が“0”、即ち設計値から大きくずれる。つまり、スペースSが大きくなる程、ライン幅Lは細くなる。このような傾向に基き、第3の実施形態では、上記接する辺7に対して、スペースSが大きくなるにしたがって、上記コンタクト領域3-cの幅が大きくなるようにパターンを補正する補正ルールを作成する。

・【0084】次に、ステップST. 6において、上記補正ルールにより、補正ルールテーブルを作成する。このために、まず、図22、および図23に示すように、縦軸（ショートニング量）を、設計グリッド幅W毎に分割する（設計グリッド幅Wは、たとえばCAD上で一度に付加することのできる最小の幅である。）。次に、設計

15

グリッド幅 W と変動曲線 I との交点をそれぞれ抽出する。この作業によって得た交点をそれぞれ“ a ”、“ b ”、“ c ”とする。次に、スペース S が“ $S < a$ ”では補正値を0とし、スペース S が“ $a \leq S < b$ ”では“ $+W$ ”の補正値を設ける。さらにスペース S が“ $b \leq S < c$ ”では“ $+2W$ ”の補正値、スペース S が“ $c \leq S$ ”では“ $+3W$ ”の補正値を設ける。このような作業により、図24に示すような補正ルールテーブルを得ることができる。

・【0085】さらにステップST. 6において、作成した補正ルールテーブルから、ステップST. 3で求めたスペース S に対する補正値を抽出する。

・【0086】次に、ステップST. 7において、抽出した補正値を、上記接する辺7に、フリンジ量として付加する。このフリンジ処理は、この発明に適合した補正ツールをプログラムにより作成して、たとえばCADに格納しておき、適宜用いることで、自動的に行うことが可能である。フリンジ処理が終了した状態の一パターン例を、図25に示す。図25に示すように、上記接する辺7には、フリンジ8が設けられている。

・【0087】このような第3の実施形態によれば、第1、第2の実施形態と同様に、コンタクト領域3-cと拡大したコンタクト部6とが接する辺7に対して、パターンの疎密、およびそのライン幅等、その周囲の環境を考慮した補正フリンジ量を求め、補正ルールテーブル化する。この後、補正ルールテーブルに従って、補正ツールを用いて自動でフリンジ処理を行う。

・【0088】このようなフリンジ処理が行われた半導体製造用マスクを用いて、ウェーハプロセスにより形成されたパターンにおいては、たとえば周囲の環境に関係なく一律なフリンジ処理を行ったマスクを用いた場合に比べて、上記重なった領域を、より設計値に近い状態、あるいは設計値通りに仕上げるができる。

・【0089】このように上記重なった領域が、より設計値に近い状態に仕上がることで、たとえばコンタクト面積の減少等に伴ったコンタクト抵抗の上昇の問題を、回避できる。よって、形成された集積回路においては、設計値に近いコンタクト抵抗を得ることができ、回路上、期待される電氣的パフォーマンスを、容易に得ることができる。

・【0090】また、補正ルールの一例(図22)と、他の例(図23)との違いは、ショートニング量“0”を基準にして補正値を“ W ”ずつ付けていくか、ショートニング量“0”に設計グリッド幅 W の $1/2$ を足した値を基準にして補正値を“ W ”ずつ付けていくかである。どちらの例でも、ウェーハ上に形成されたパターンを、設計値に近い状態、あるいは設計値通りに仕上げるができる。

・【0091】しかし、図23に示す設計グリッド幅 W の $1/2$ を足した値を基準にして補正値を“ $+W$ ”ずつ付

16

けていく他の例のほうが、設計値に近い状態、あるいは設計値通りに仕上がり易い。

・【0092】なぜならば図22に示す一例においては、たとえば“ $S < c$ ”のとき、ライン幅 L の変動を、ショートニング量“0”(即ち設計値)から“ $-W$ ”の範囲に変動に抑えることができるのに対し、図23に示す他の例においては、ライン幅変動量“0”(即ち設計値)から“ $\pm W/2$ ”の範囲に、さらに変動を抑えることができるためである。

10 ・【0093】また、図25に示すように、上記一例に係るパターンにおいては、ライン幅 L を持つライン部3-1に対してフリンジ8を付加する補正を行ったが、ライン幅 L 以外のライン幅が存在する場合には、各ライン幅毎にそれぞれ、上記と同様な方法で補正ルールを作成し、この補正ルールにより補正ルールテーブルを作成する。

この後、ライン幅毎に、それぞれ作成した補正ルールテーブルに基づいてフリンジを付加する補正を行えば良い。

・【0094】[第4の実施形態]次に、この発明の第4の実施形態に係るマスクパターン補正方法を説明する。

20 ・【0095】第4の実施形態は、トランジスタ領域上を走るラインの終端部分において、ゲート端であり、かつトランジスタ領域にない領域の面積を考慮してショートニングを補正するフリンジ処理である。

・【0096】図26は、第4の実施形態に係るマスクパターン補正方法を示す流れ図、図27～図31はそれぞれ、図26に示す各ステップを説明するための図である。

30 ・【0097】まず、図26に示すステップST. 1において、トランジスタ領域上を走るラインの終端部分のうち、ゲート端であり、かつトランジスタ領域にない領域を抽出する。図27に、第4の実施形態に用いられたパターンの一例を示す。この一例は、デザイン上、たとえばCADデータ上のものであり、図27中、斜線により示す領域9は、ゲート端であり、かつトランジスタ領域にない領域である。

・【0098】次に、ステップST. 2において、上記領域9の面積 A を、デザイン上、たとえばCADデータ上で測定する。

40 ・【0099】次に、ステップST. 3において、面積 A 毎に、ライン部のショートニング量を、実験的、あるいはシミュレーションにより取得する。このショートニング量は、第1～第3の実施形態と同様に、走査型電子顕微鏡(SEM)や電氣的測定による方法などを用いることで取得できる。

・【0100】次に、ステップST. 4において、上記面積 A に対する補正ルールを作成する。面積とショートニング量との関係を図28、および図29に示す。

50 ・【0101】図28、および図29に示すように、一パターン例ではショートニング量は、変動曲線 I に示すように面積 A が小さい程、ショートニング量が“0”、即

17

ち設計値からずれる。つまり、面積Aが小さい程、ライン幅Lは細くなる。このような傾向に基き、第4の実施形態では、上記領域に対して、面積Aが小さくなるにしたがって、上記領域9の面積が大きくなるようにパターンを補正する補正ルールを作成する。

・【0102】次に、ステップST. 5において、上記補正ルールにより、補正ルールテーブルを作成する。このために、まず、図28、および図29に示すように、縦軸（ショートニング量）を、設計グリッド幅W毎に分割する（設計グリッド幅Wは、たとえばCAD上で一度に付加することのできる最小の幅である。）。次に、設計グリッド幅Wと変動曲線Iとの交点をそれぞれ抽出する。この作業によって得た交点をそれぞれ“a”、“b”、“c”とする。次に、面積Aが“A<a”の範囲では“+3W”、“ $a \leq A < b$ ”の範囲では“+2W”、“ $b \leq A < c$ ”の範囲では“+W”の補正値をそれぞれ設ける。また、面積Aが“ $c \leq A$ ”の範囲では補正値を設けない。このような作業により、図30に示すような補正ルールテーブルが作成される。

・【0103】さらにステップST. 5において、作成した補正ルールテーブルから、ステップST. 2で求めた面積Aに対する補正値を抽出する。

・【0104】次に、ステップST. 6において、抽出した補正値を、上記領域9のライン端に、フリンジ量として付加する。このフリンジ処理は、この発明に適合した補正ツールをプログラムにより作成して、たとえばCADに格納しておき、適宜用いることで、自動的に行うことが可能である。フリンジ処理が終了した状態の一パターン例を、図31に示す。図31に示すように、上記領域9には、フリンジ10が設けられている。

・【0105】このような第4の実施形態によれば、ゲート端であり、かつトランジスタ領域にない領域9に対して、その面積を考慮した補正フリンジ量を求め、補正ルールテーブル化する。この後、補正ルールテーブルに従って、補正ツールを用いて自動でフリンジ処理を行う。

・【0106】このようなフリンジ処理が行われた半導体製造用マスクを用いて、ウェーハプロセスにより形成されたパターンにおいては、たとえばその面積に関係なく一律なフリンジ処理を行ったマスクを用いた場合に比べて、上記領域9を、より設計値に近い状態、あるいは設計値通りに仕上げることができる。

・【0107】このように上記領域9が、より設計値に近い状態に仕上がることで、たとえばゲートのショートニングに起因したソースとドレインとの短絡不良等の問題を、回避できる。

・【0108】また、補正ルールの一例（図28）と、他の例（図29）との違いは、ショートニング量“0”を基準にして補正値を“W”ずつ付けていくか、ショートニング量“0”に設計グリッド幅Wの1/2を足した値を基準にして補正値を“W”ずつ付けていくかである。

18

どちらの例でも、ウェーハ上に形成されたパターンを、設計値に近い状態、あるいは設計値通りに仕上げるができる。

・【0109】しかし、図29に示す設計グリッド幅Wの1/2を足した値を基準にして補正値を“+W”ずつ付けていく他の例のほうが、設計値に近い状態、あるいは設計値通りに仕上がり易い。

・【0110】なぜならば図28に示す一例においては、たとえば“ $S < c$ ”のとき、ライン幅Lの変動を、ショートニング量“0”（即ち設計値）から“-W”の範囲に変動に抑えることができるのに対し、図29に示す他の例においては、ライン幅変動量“0”（即ち設計値）から“ $\pm W/2$ ”の範囲に、さらに変動を抑えることができるためである。

・【0111】【第5の実施形態】次に、この発明の第5の実施形態に係るマスクパターン補正方法を説明する。

・【0112】第5の実施形態は、トランジスタ領域のコーナー部において、コーナー部とこのコーナー部に隣接するライン部との距離を考慮した切り欠き処理である。ここで切り欠き処理とは、トランジスタ領域のコーナー部を削り、近接効果補正を行うこと、と定義する。

・【0113】図32は、第5の実施形態に係るマスクパターン補正方法を示す流れ図、図33～図38はそれぞれ、図32に示す各ステップを説明するための図である。

・【0114】まず、図32に示すステップST. 1において、トランジスタ領域のコーナー部を抽出する。図33に、第5の実施形態に用いられたパターンの一例を示す。この一例は、デザイン上、たとえばCADデータ上のものであり、図27中、参照符号11に示す領域がコーナー部、参照符号12に示す領域がライン部である。

・【0115】次に、ステップST. 2において、コーナー部11からライン部12までの距離Sを、デザイン上、たとえばCADデータ上で測定する。

・【0116】次に、ステップST. 3において、ライン部12が、コーナー部11のラウンディングと重ならない最小距離dを、実験的、あるいはシミュレーションにより取得する。

・【0117】次に、ステップST. 4において、上記距離Sに対する補正ルールを作成する。図34に、コーナー部11のラウンディング13とライン部12との関係を示す。図34に示すように、上記距離Sが最小距離d以上（ $S \geq d$ ）であれば、ライン部12はコーナー部11のラウンディングに重ならないが、上記距離Sが最小距離d未満（ $S < d$ ）であればラウンディングに重なる。このような傾向に基づき、第5の実施形態では、“ $S < d$ ”であれば、コーナー部11に対して切り欠き処理を行い、“ $S \geq d$ ”であれば、コーナー部11に対して切り欠き処理を行わない。このような補正ルールをテーブル化したものが図35である。

19

・【0118】次に、ステップS T. 5において、上記補正ルールに従い、必要に応じて、コーナー部11に対して切り欠き処理を行う。この切り欠き処理は、この発明に適合した補正ツールをプログラムにより作成して、たとえばCADに格納しておき、適宜用いることで、自動的に行うことが可能である。

・【0119】切り欠き処理を施したパターン例を、図36、図37、および図38それぞれに示す。図36～図38に示すように、コーナー部11には、それぞれ切り欠き部14が設けられている。

・【0120】このような第5の実施形態によれば、トランジスタ領域のコーナー部11に対し、このコーナー部11とライン部12との距離Sを考慮して、切り欠き処理を行う。

・【0121】このような切り欠き処理が行われた半導体製造用マスクを用いて、ウェーハプロセスにより形成されたパターンにおいては、そのライン部12が、コーナー部11のラウンディングに重ならなくなる。この結果、ライン部12がショートニングを起こしても、トランジスタ領域が露出し難くなる。よって、ライン部12（ゲート）のショートニングに起因したソースとドレインとの短絡不良等の問題を、回避できる。

・【0122】【第6の実施形態】次に、この発明の第6の実施形態に係るマスクパターン補正方法を説明する。

・【0123】第6の実施形態は、コンタクトホール側の壁が鉛直でない場合、トランジスタ領域に接触するような深いコンタクトホール、あるいはゲートに接触するような浅いコンタクトホールに対するバイアス処理である。

・【0124】図39は、第6の実施形態に係るマスクパターン補正方法を示す流れ図、図40～図46はそれぞれ、図39に示す各ステップを説明するための図である。

・【0125】まず、図39に示すステップS T. 1において、コンタクトホールとトランジスタ領域との接触領域、およびコンタクトホールとゲートとの接触領域を抽出する。図40に、第6の実施形態に用いられたパターンの一例（断面例）を示す。図40中、参照符号15に示す部分がコンタクトホールとトランジスタ領域との接触領域であり、参照符号16に示す部分がコンタクトホールとゲートとの接触領域である。

・【0126】次に、ステップS T. 2において、設計寸法に対する接触領域15の直径S1、および設計寸法に対する接触領域16の直径S2をそれぞれ、実験的、あるいはシミュレーションにより取得する。ここで、直径S1、S2は、走査型電子顕微鏡（SEM）や電氣的測定による方法などを用いることで取得できる。

・【0127】次に、ステップS T. 3において、直径S1と直径S2との差“S1-S2”を求める。

・【0128】次に、ステップS T. 4において、“S1

20

-S2=0”の点を基準（図41）、あるいは“S1-S2=0”に、設計グリッド幅Wの1/2を足した点を基準（図42）として、図41あるいは図42の縦軸・（直径S1と直径S2との差“S1-S2”）を、設計グリッド幅W毎に分割する。次いで、設計グリッド幅Wを示す直線と、S1-S2曲線との交点を抽出する。たとえばあるゲート膜厚Lについて上記作業により抽出された交点をそれぞれ“a”、“b”、“c”とした場合、“設計寸法<a”の範囲では直径S1に加えるバイアス量は“0”であり、“a≤設計寸法<b”の範囲では直径S1に“+W”のバイアス量を加え、“b≤設計寸法<c”の範囲では直径S1に“+W”のバイアス量を加え、“c≤設計寸法”の範囲では直径S1に“+2W”のバイアス量を加える。このような作業により、あるゲート膜厚Lに対して、図43に示すような補正ルールテーブルが作成される。図43に示す補正ルールテーブルに従って、直径S1を補正することで、直径S1は直径S2に近づく。

・【0129】また、上記作業と逆に、直径S2からバイアス量を差し引いて、直径S2を直径S1に近づけても良い。このような方法により作成した補正ルールテーブルを図44に示す。次いで、作成した補正ルールテーブルから、ステップS T. 2で求めた直径S1、あるいは直径S2に対する補正値を抽出する。

・【0130】次に、ステップS T. 5において、抽出した補正値を、コンタクトホールに、バイアス量として付加する。このバイアス処理は、この発明に適合した補正ツールをプログラムにより作成し、たとえばCADに格納しておき、適宜用いることで、自動的に行うことができる。バイアス処理が終了した状態の断面を、図45および図46に示す。図45に示すように、接触領域15の直径S1は、接触領域16の直径S2とほぼ同等となるように拡大されている。また、図46に示すように、接触領域16の直径S2は、接触領域15の直径S1とほぼ等しくなるように縮小されている。

・【0131】このような第6の実施形態によれば、トランジスタ領域に接触する接触領域15の直径S1と、およびゲートに接触する接触領域16の直径S2と互いに異なってしまうような場合に、直径S1と直径S2とを互いに等しくでき、直径S1および直径S2を設計値に近い状態に仕上げるができる。

・【0132】このように直径S1および直径S2が、より設計値に近い状態に仕上がることで、コンタクト面積の減少等に伴ったコンタクト抵抗の上昇の問題等を、回避できる。よって、形成された集積回路においては、設計値に近いコンタクト抵抗を得ることができ、回路上、期待される電氣的パフォーマンスを、容易に得ることができる。

・【0133】また、補正ルールの一例（図41）と、他の例（図42）との違いは、“S1-S2=0”を基準

にして補正値を“W”ずつ付けていくか、“ $S1-S2=0$ ”に設計グリッド幅Wの $1/2$ を足した値を基準にして補正値を“W”ずつ付けていくかである。どちらの例でも、接触領域の直径を、設計値に近い状態、あるいは設計値通りに上げることができる。

・【0134】しかし、図42に示す設計グリッド幅Wの $1/2$ を足した値を基準にして補正値を“+W”ずつ付けていく他の例のほうが、設計値に近い状態、あるいは設計値通りに仕上がり易い。

・【0135】なぜならば図41に示す一例においては、たとえば“設計寸法<c”のとき、“ $S1-S2$ ”の変動を、“ $S1-S2=0$ （即ち設計値）”から“-W”の範囲に変動に抑えることができるのに対し、図42に示す他の例においては、“ $S1-S2$ ”の変動を、“ $S1-S2=0$ （即ち設計値）”から“ $\pm W/2$ ”の範囲に、さらに変動を抑えることができるからである。

・【0136】また、図45、あるいは図46に示すように、上記一例に係るパターンにおいては、ゲート膜厚Lに対してバイアス処理を行ったが、ゲート膜厚L以外の膜厚が存在する場合には、各膜厚毎にそれぞれ、上記と同様な方法で補正ルールを作成し、この補正ルールにより補正ルールテーブルを作成する。この後、ライン幅毎に、それぞれ作成した補正ルールテーブルに基づいてバイアス処理を行えば良い。

・【0137】【第7の実施形態】次に、この発明の第7の実施形態に係るマスクパターン補正方法を説明する。

・【0138】第7の実施形態は、ライン両端に上下に接するそれぞれのビアに対するライン終端のフリンジ処理である。

・【0139】図47は、第7の実施形態に係るマスクパターン補正方法を示す流れ図、図48～図55はそれぞれ、図47に示す各ステップを説明するための図である。

・【0140】まず、図47に示すステップST. 1において、ビア1とライン部17との接触領域、ビア2とライン部17との接触領域を抽出する。図48に、第7の実施形態に用いられた、パターンの一例（断面）を示す。

・【0141】次に、ステップST. 2において、第2の実施形態により説明した方法を用いて、ビア1と、このビア1が接触するライン部17の終端へのフリンジ処理を補正ルール化する（図49、あるいは図50）。

・【0142】次に、ステップST. 3において、第2の実施形態により説明した方法を用いて、上記補正ルールにより、補正ルールテーブルを作成する（図51）。この後、作成した補正ルールテーブルから補正値を抽出する。

・【0143】次に、ステップST. 4において、ビア2と、このビア2が接触する領域からライン部17の終端までの距離Dを、実験的、あるいはシミュレーショ

ンにより取得する。

・【0144】次に、ステップST. 5において、第2の実施形態により説明した方法を用いて、ビア2が接触するライン部17の終端へのフリンジ処理を補正ルール化する（図53、あるいは図54）。

・【0145】次に、ステップST. 6において、“ショートニング量=-D”の点を基準（図52）、あるいは“ショートニング量=-D”に設計グリッド幅Wの $1/2$ を足した点を基準（図53）とした補正ルールテーブルを作成する（図54）。この後、作成した補正ルールテーブルから補正値を抽出する。

・【0146】次に、ステップST. 7において、抽出した補正値を、ビア1とライン部17との接触領域18、およびビア2とライン部17との接触領域19それぞれに、フリンジ量として付加する。このフリンジ処理は、この発明に適合した補正ツールをプログラムにより作成して、たとえばCADに格納しておき、適宜用いることで、自動的に行うことが可能である。フリンジ処理が終了した状態のパターンの一例を、図55に示す。図55に示すように、ライン部17の接触領域18、19にはそれぞれ、フリンジ20-1、20-2が設けられている。

・【0147】このような第7の実施形態によれば、ライン部17の接触領域18、19に対して、ライン部17のショートニングを補正するフリンジを、ライン部17の周囲の環境、たとえばライン部17周囲のパターンの疎密状況、ライン部の幅、ビアの細り等を考慮して付加する。

・【0148】このようなフリンジ処理が行われた半導体製造用マスクを用いて、ウェーハプロセスにより形成されたパターンにおいては、たとえば周囲の環境に関係なく一律なフリンジ処理を行ったマスクを用いた場合に比べて、上記重なった領域を、より設計値に近い状態、あるいは設計値通りに上げることができる。

・【0149】このように上記重なった領域が、より設計値に近い状態に仕上がることで、たとえばコンタクト面積の減少等に伴ったコンタクト抵抗の上昇の問題を、回避できる。よって、形成された集積回路においては、設計値に近いコンタクト抵抗を得ることができ、回路上、期待される電氣的パフォーマンスを、容易に得ることができる。

・【0150】また、補正ルールの一例（図49、図52）と、他の例（図50、図53）との違いは、ショートニング量“0-D”を基準にして補正値を“W”ずつ付けていくか、ショートニング量“0-D”に設計グリッド幅Wの $1/2$ を足した値を基準にして補正値を“W”ずつ付けていくかである。どちらの例でも、ウェーハ上に形成されたパターンを、設計値に近い状態、あるいは設計値通りに上げることができる。

・【0151】しかし、図50、53に示す設計グリッド

23

幅 W の $1/2$ を足した値を基準にして補正値を“ $+W$ ”ずつ付けていく他の例のほうが、設計値に近い状態、あるいは設計値通りに仕上がり易い。

・【0152】なぜならば図49、図52に示す一例においては、たとえば“ $S < c$ ”のとき、ライン幅 L の変動を、ショートニング量“ $0-D$ ”（即ち設計値）から“ $-W$ ”の範囲に変動に抑えることができるのに対し、図50、図53に示す他の例においては、ライン幅変動量“ $0-D$ ”（即ち設計値）から“ $\pm W/2$ ”の範囲に、さらに変動を抑えることができるためである。

・【0153】また、図55に示すように、上記一例に係るパターンにおいては、ライン幅 L を持つライン部17に対してフリンジ20-1、20-2を付加する補正を行ったが、ライン幅 L 以外のライン幅が存在する場合には、各ライン幅毎にそれぞれ、上記と同様な方法で補正ルールを作成し、この補正ルールにより補正ルールテーブルを作成する。この後、ライン幅毎に、それぞれ作成した補正ルールテーブルに基づいてフリンジを付加する補正を行えば良い。

・【0154】〔第8の実施形態〕次に、この発明の第8の実施形態に係るマスクパターン補正方法を説明する。

・【0155】第8の実施形態は、第1の実施形態～第5の実施形態、および第7の実施形態に対して、更に合わせずれを考慮した補正方法である。

・【0156】図56は、第8の実施形態に係るマスクパターン補正方法を示す流れ図である。

・【0157】まず、図56に示すステップ1において、第1の実施形態～第5の実施形態、および第7の実施形態により、それぞれの補正方法に対する補正ルールテーブルを作成する。

・【0158】次に、ステップST. 2において、合わせずれ量を“ $+C$ ”とする。次いで、それぞれの補正ルールテーブルのフリンジ量、および補正箇所に合わせずれ量“ $+C$ ”を付け加える。この作業によって、第1の実施形態、第2の実施形態、第3の実施形態、第7の実施形態からは図57に示す補正ルールテーブルを、第4の実施形態からは図58に示す補正ルールテーブルを、第5の実施形態からは図59に示す補正ルールテーブルをそれぞれ作成できる。

・【0159】次に、ステップST. 3に示すように、作成したルールテーブルから補正値を抽出し、抽出した補正値をフリンジ量に加える。

・【0160】このような第8の実施形態によれば、第1の実施形態～第5の実施形態、第7の実施形態に対して、合わせずれを考慮した補正値を補正ルール化する。そして、この補正ルールに従い、補正ツールを用いて自動で補正処理する。このような補正処理により、近接効果による所望寸法のずれ、および合わせずれが生じる場合においても、それぞれの補正箇所を設計値の通り、あるいは設計値に近い状態に仕上げるができる。

24

・【0161】〔第9の実施形態〕次に、この発明の第9の実施形態に係るマスクパターン補正方法を説明する。

・【0162】第9の実施形態は、トランジスタの狭スペースに関して、コンタクトとトランジスタ領域の重なった領域とトランジスタ領域端との距離を考慮した狭スペースのショートに対する補正を行うものである。

・【0163】図60は、第9の実施形態に係るマスクパターン補正方法を示す流れ図、図61～図66はそれぞれ、図60に示す各ステップを説明するための図である。

・【0164】まず、図60に示すステップST. 1において、コンタクト部とトランジスタ領域とが重なった領域を抽出する。図61に、第9の実施形態に用いられた、パターンの一例を、図62にパターンの他の例を示す。なお、図61に示す一例および図62に示す他の例はそれぞれ、デザイン上、たとえばCADデータ上のものである。

・【0165】図61に示すように、一例に係るパターンは、フィールド領域（素子分離領域）21によって互いに分離されたトランジスタ領域22、23を持つ。トランジスタ領域22にはコンタクト部24-1、24-2がそれぞれ重なっており、トランジスタ領域23にはコンタクト部24-3、24-4がそれぞれ重なっている。

・【0166】図62に示す他の例に係るパターンは、一例に係るパターンと同様なもので、異なるところは、コンタクト部24-1～24-2から、トランジスタ領域端25までの距離である。

・【0167】次に、ステップST. 2において、狭スペース幅 S を、デザイン上で、測定する。次に、トランジスタ領域端25からコンタクト部24-1～24-4までの距離を、デザイン上で測定する。この時の最小距離を“ F ”とする。

・【0168】次に、ステップST. 3に示すように、コンタクト部24-1～24-4に対して最小バイアス量と最小合わせずれ量を、実験的、あるいはシミュレーションにより取得し、この時のバイアス量と合わせずれ量との和を D とする。この結果から、フリンジ量の最小デザインルール分だけ、コンタクト部を拡大する。拡大したコンタクト部を、参照符号26により示す。

・【0169】次に、ステップST. 4に示すように、“ $D \leq F$ ”の場合、および“ $F < D$ ”の場合それぞれで、狭スペース幅 S の大きさによって狭スペース幅を広げる補正値を、実験的、あるいはシミュレーションにより取得し、補正ルールを作成する（図63）。

・【0170】次に、ステップST. 5に示すように、上記補正ルールにより補正ルールテーブルを作成し、補正値を抽出する（図64）。ここで、“ $F < D$ ”の場合、拡大したコンタクト部26とトランジスタ領域端25とが接する部分を抽出する。この接する部分は、図62に参照符号27により示す。

25

・【0171】次に、ステップS T. 6に示すように、抽出した補正値を、狭スペース幅Sに付加する。ここで、
 ・“ $D \leq F$ ”の場合、図65に示すように、狭スペース幅Sの全体を、トランジスタ領域22、23に向かって拡大する。また、“ $F < D$ ”の場合、図66に示すように、狭スペース幅Sを、上記接する部分27を除いて、トランジスタ領域22、23に向かって拡大する。

・【0172】このような第9の実施形態によれば、コンタクト部のバイアス量と合わせずれ量との和、トランジスタ領域端25からコンタクト部までの最小距離、および狭スペース幅Sにより、狭スペース部の補正量を、補正ルールテーブル化する。次に、その補正ルールテーブルに従い、補正ツールを用いて自動で狭スペース補正処理を行う。このような補正処理により、狭スペースにおけるショートを防ぐことができる。

・【0173】以上、この発明を第1～第9の実施形態に基づき説明したが、この発明は上記第1～第9の実施形態に限られず、発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

・【0174】たとえば実施形態において記載したマスクパターン補正方法は、コンピュータに実行させることのできるプログラムとして、例えば磁気ディスク（フロッピーディスク、ハードディスク等）、光ディスク（CD-ROM、CD-RAM、DVD等）、半導体メモリなどの記録媒体に書き込んでCADに適用したり、通信媒体により伝送してCADに適用することも可能である。また、この発明を実現するCADは、記録媒体に記録されたプログラムを読み込み、このプログラムによって動作が制御されることにより、上述したマスクパターン補正処理を実行する。

・【0175】また、この発明は、半導体集積回路装置であれば如何なるものでも適用することが可能であるが、パターンがランダムなロジック系集積回路装置、たとえばマイクロプロセッサ等に特に有効である。

・【0176】その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

・【0177】

・【発明の効果】以上説明したように、この発明によれば、仕上がり誤差のパターン関係を考慮でき、十分な補正精度を得ることができる半導体製造用マスクのパターン補正方法を提供できる。

・【図面の簡単な説明】

・【図1】図1はこの発明の第1の実施形態に係るマスクパターン補正方法を示す流れ図。

・【図2】図2はこの発明の第1の実施形態に用いた一パターン例を示す平面図。

・【図3】図3はこの発明の第1の実施形態に用いた一パターン例を示す平面図。

・【図4】図4はこの発明の第1の実施形態に用いた測定パターン例を示す平面図。

26

・【図5】図5はスペースとライン幅変動量との関係を示す図。

・【図6】図6はスペースとライン幅変動量との関係を示す図。

・【図7】図7は補正ルールテーブルを示す図。

・【図8】図8はこの発明の第1の実施形態に用いた一パターン例を示す平面図。

・【図9】図9はこの発明の第2の実施形態に係るマスクパターン補正方法を示す流れ図。

10 ・【図10】図10はこの発明の第2の実施形態に用いた一パターン例を示す平面図。

・【図11】図11はこの発明の第2の実施形態に用いた一パターン例を示す平面図。

・【図12】図12はこの発明の第2の実施形態に用いた測定パターン例を示す平面図。

・【図13】図13はスペースとショートニング量との関係を示す図。

・【図14】図14はスペースとショートニング量との関係を示す図。

20 ・【図15】図15は補正ルールテーブルを示す図。

・【図16】図16はこの発明の第2の実施形態に用いた一パターン例を示す平面図。

・【図17】図17はこの発明の第3の実施形態に係るマスクパターン補正方法を示す流れ図。

・【図18】図18はこの発明の第3の実施形態に用いた一パターン例を示す平面図。

・【図19】図19はこの発明の第3の実施形態に用いた一パターン例を示す平面図。

30 ・【図20】図20はこの発明の第3の実施形態に用いた一パターン例を示す平面図。

・【図21】図21はこの発明の第3の実施形態に用いた測定パターン例を示す平面図。

・【図22】図22はスペースとショートニング量との関係を示す図。

・【図23】図23はスペースとショートニング量との関係を示す図。

・【図24】図24は補正ルールテーブルを示す図。

・【図25】図25はこの発明の第3の実施形態に用いた一パターン例を示す平面図。

40 ・【図26】図26はこの発明の第4の実施形態に係るマスクパターン補正方法を示す流れ図。

・【図27】図27はこの発明の第4の実施形態に用いた一パターン例を示す平面図。

・【図28】図28は面積とショートニング量との関係を示す図。

・【図29】図29は面積とショートニング量との関係を示す図。

・【図30】図30は補正ルールテーブルを示す図。

50 ・【図31】図31はこの発明の第4の実施形態に用いた一パターン例を示す平面図。

27

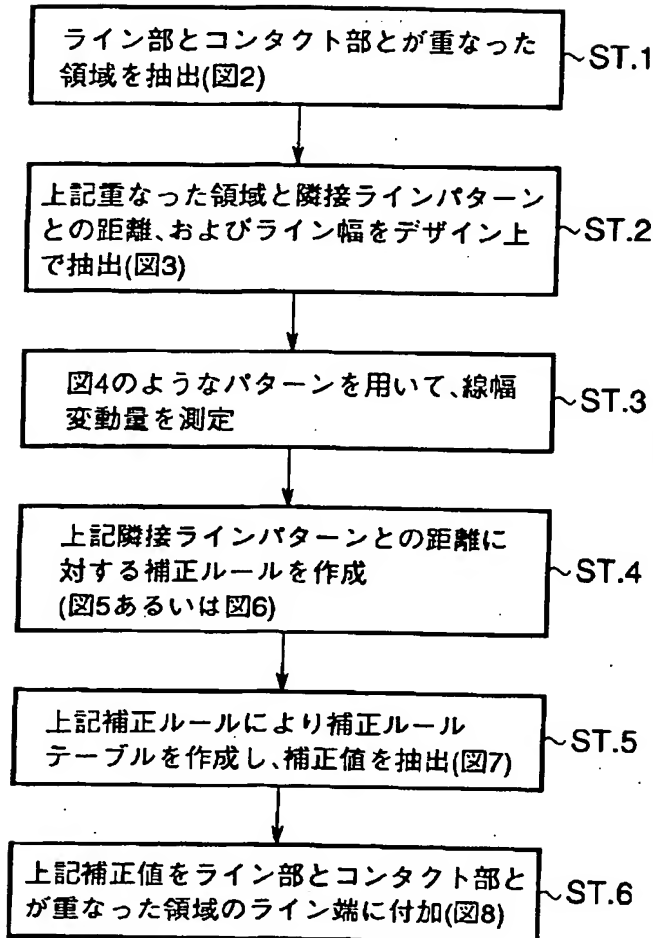
- ・【図32】図32はこの発明の第5の実施形態に係るマスクパターン補正方法を示す流れ図。
- ・【図33】図33はこの発明の第5の実施形態に用いた一パターン例を示す平面図。
- ・【図34】図34はこの発明の第5の実施形態に用いた一パターン例を示す平面図。
- ・【図35】図35は補正ルールテーブルを示す図。
- ・【図36】図36は切り欠き部を示す平面図。
- ・【図37】図37は切り欠き部を示す平面図。
- ・【図38】図38は切り欠き部を示す平面図。
- ・【図39】図39はこの発明の第6の実施形態に係るマスクパターン補正方法を示す流れ図。
- ・【図40】図40はこの発明の第6の実施形態に用いた一パターン例を示す断面図。
- ・【図41】図41は設計寸法と直径差との関係を示す図。
- ・【図42】図42は設計寸法と直径差との関係を示す図。
- ・【図43】図43は補正ルールテーブルを示す図。
- ・【図44】図44は補正ルールテーブルを示す図。
- ・【図45】図45はこの発明の第6の実施形態に用いた一パターン例を示す断面図。
- ・【図46】図46はこの発明の第6の実施形態に用いた一パターン例を示す断面図。
- ・【図47】図47はこの発明の第7の実施形態に係るマスクパターン補正方法を示す流れ図。
- ・【図48】図48はこの発明の第7の実施形態に用いた一パターン例を示す断面図。
- ・【図49】図49はショートニング量とスペースとの関係を示す図。
- ・【図50】図50はショートニング量とスペースとの関係を示す図。
- ・【図51】図51は補正ルールテーブルを示す図。
- ・【図52】図52はショートニング量とスペースとの関係を示す図。
- ・【図53】図53はショートニング量とスペースとの関係を示す図。
- ・【図54】図54は補正ルールテーブルを示す図。
- ・【図55】図55はこの発明の第7の実施形態に用いた一パターン例を示す断面図。
- ・【図56】図56はこの発明の第8の実施形態に係るマスクパターン補正方法を示す流れ図。
- ・【図57】図57は補正ルールテーブルを示す図。

28

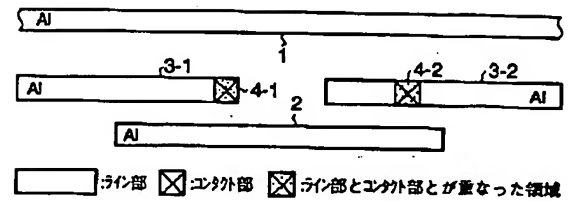
- ・【図58】図58は補正ルールテーブルを示す図。
- ・【図59】図59は補正ルールテーブルを示す図。
- ・【図60】図60はこの発明の第9の実施形態に係るマスクパターン補正方法を示す流れ図。
- ・【図61】図61はこの発明の第9の実施形態に用いた一パターン例を示す平面図。
- ・【図62】図62はこの発明の第9の実施形態に用いた他のパターン例を示す平面図。
- ・【図63】図63は補正量とスペースとの関係を示す図。
- ・【図64】図64は補正ルールテーブルを示す図。
- ・【図65】図65はこの発明の第9の実施形態に用いた一パターン例を示す平面図。
- ・【図66】図66はこの発明の第9の実施形態に用いた他のパターン例を示す平面図。
- ・【図67】図67はショートニングを説明するための図。
- ・【符号の説明】
- 1、2、3…ライン部、
- 4…コンタクト部
- 5…フリンジ、
- 6…拡大したコンタクト部、
- 7…コンタクト領域とコンタクト部とが接する辺、
- 8…フリンジ、
- 9…ゲート端であり、かつトランジスタ領域にない領域、
- 10…フリンジ、
- 11…コーナー部、
- 12…ライン部、
- 13…ラウンディング、
- 14…切り欠き部、
- 15、16…接触領域、
- 17…ライン部、
- 18、19…接触領域、
- 20…フリンジ、
- 21…フィールド、
- 22、23…トランジスタ領域、
- 24…コンタクト部、
- 25…トランジスタ領域端、
- 26…拡大したコンタクト部、
- 27…トランジスタ領域端と拡大したコンタクト部とが接する領域。

・[図1]

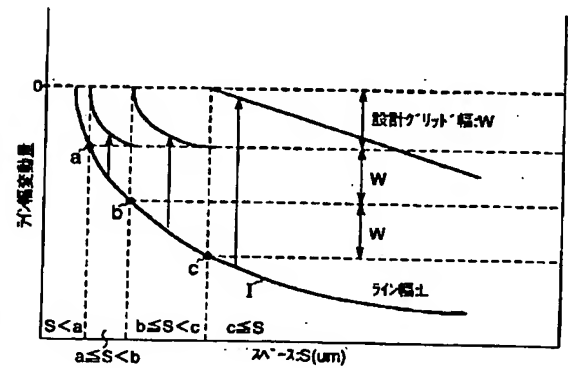
補正フロー



・[図2]



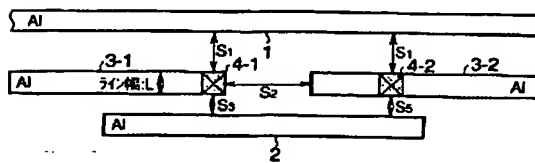
・[図5]



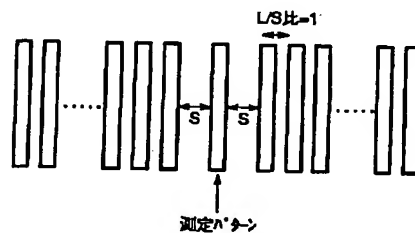
・[図7]

スペース	フリッジ量
$S < a$	0
$a \leq S < b$	$+W$
$b \leq S < c$	$+2W$
$S \geq c$	$+3W$

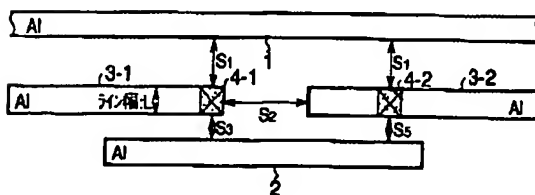
・[図3]



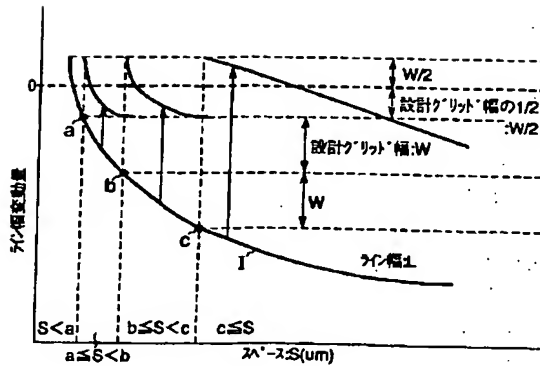
・[図4]



・[図11]

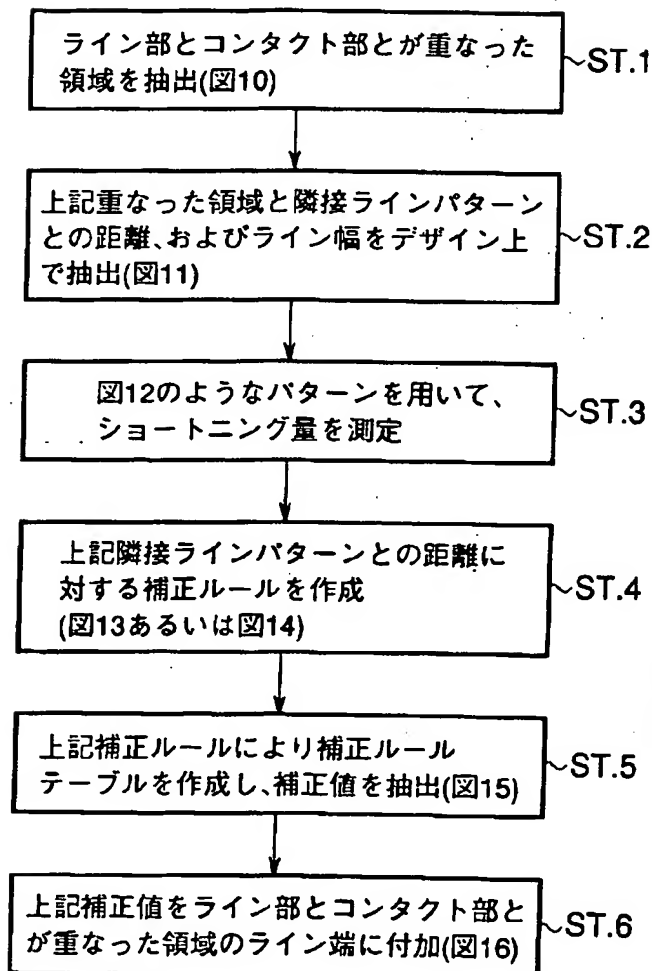


・【図6】

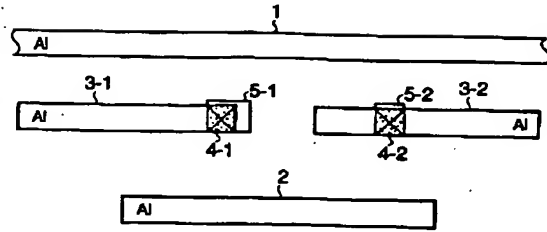


・【図9】

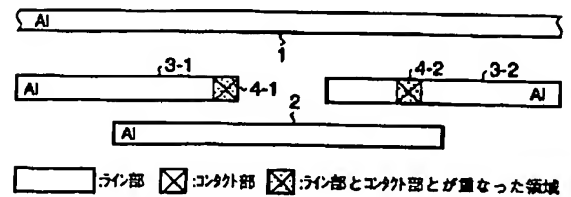
補正フロー



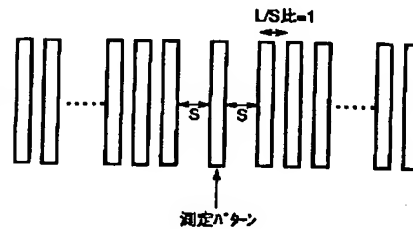
・【図8】



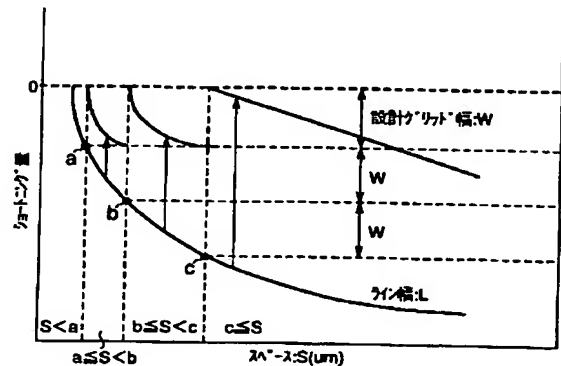
・【図10】



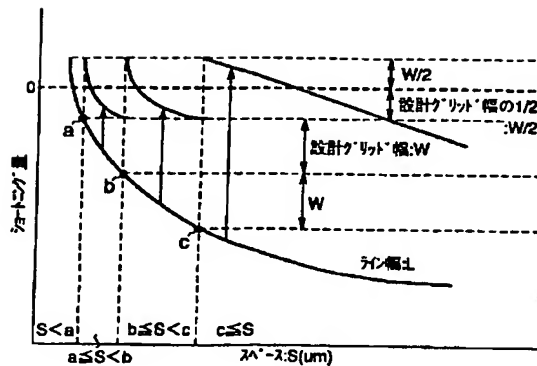
・【図12】



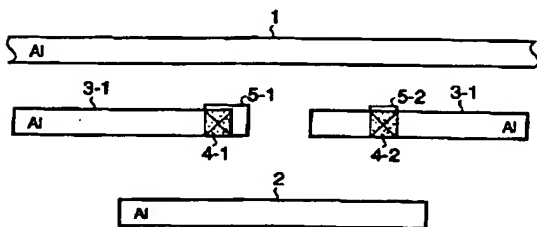
・【図13】



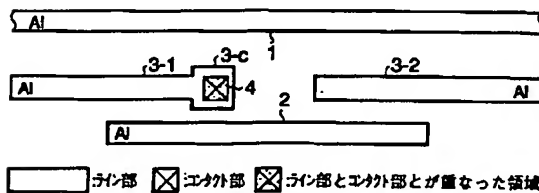
・[図14]



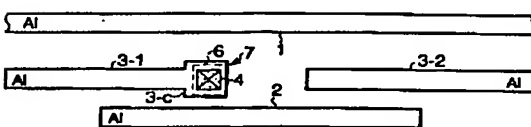
・[図16]



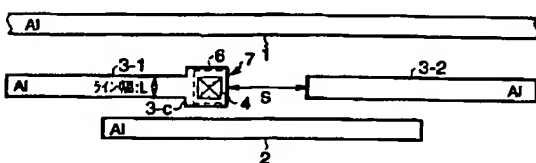
・[図18]



・[図19]



・[図20]

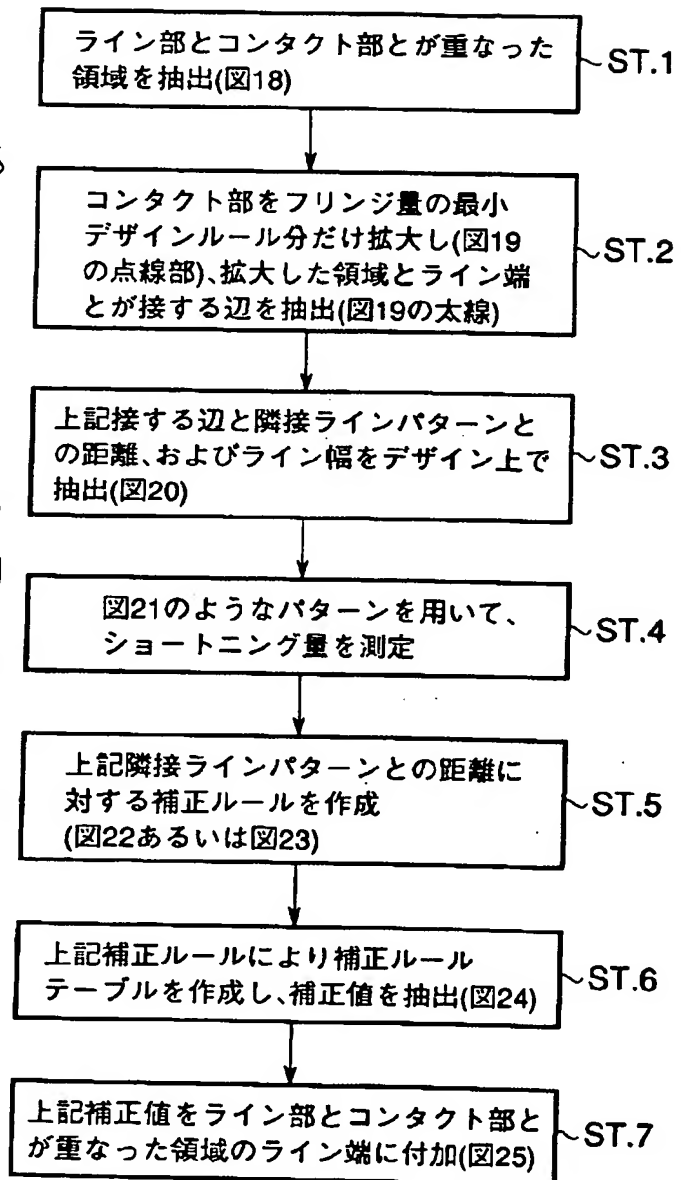


・[図15]

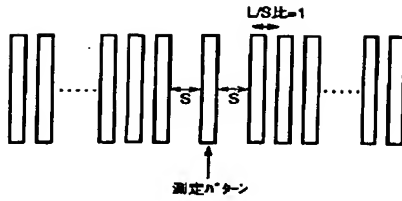
スペース	フリンジ量
$S < a$	0
$a \leq S < b$	+W
$b \leq S < c$	+2W
$S \geq c$	+3W

・[図17]

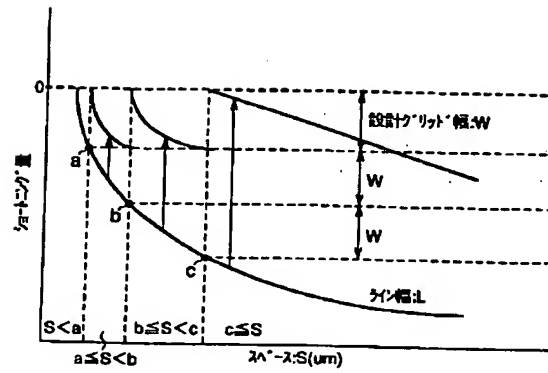
補正フロー



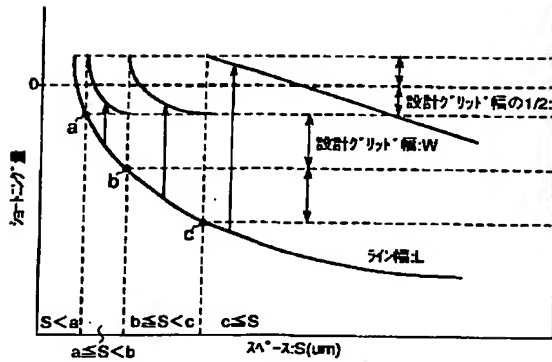
・[図21]



・[図22]



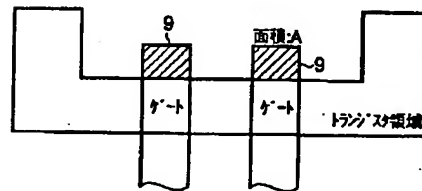
・[図23]



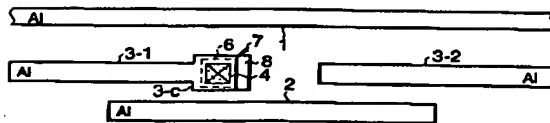
・[図24]

スペース	フリッジ量
$S < a$	0
$a \leq S < b$	+W
$b \leq S < c$	+2W
$S \geq c$	+3W

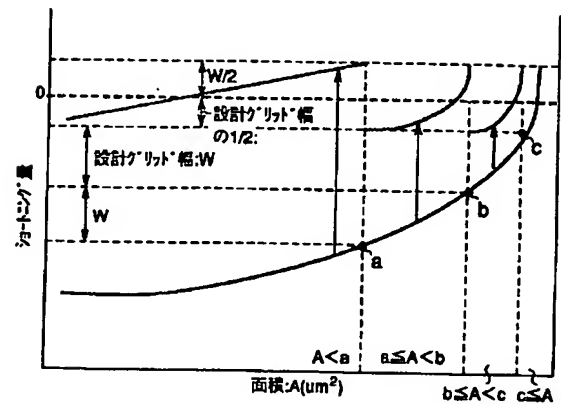
・[図27]



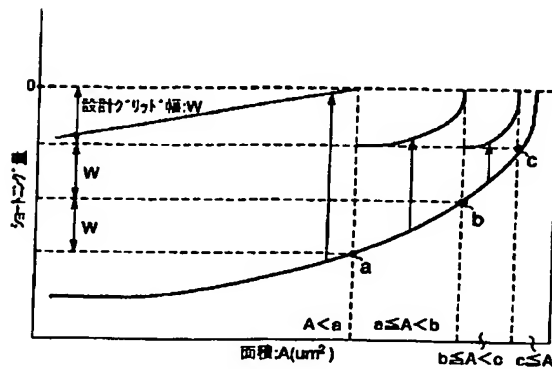
・[図25]



・[図29]

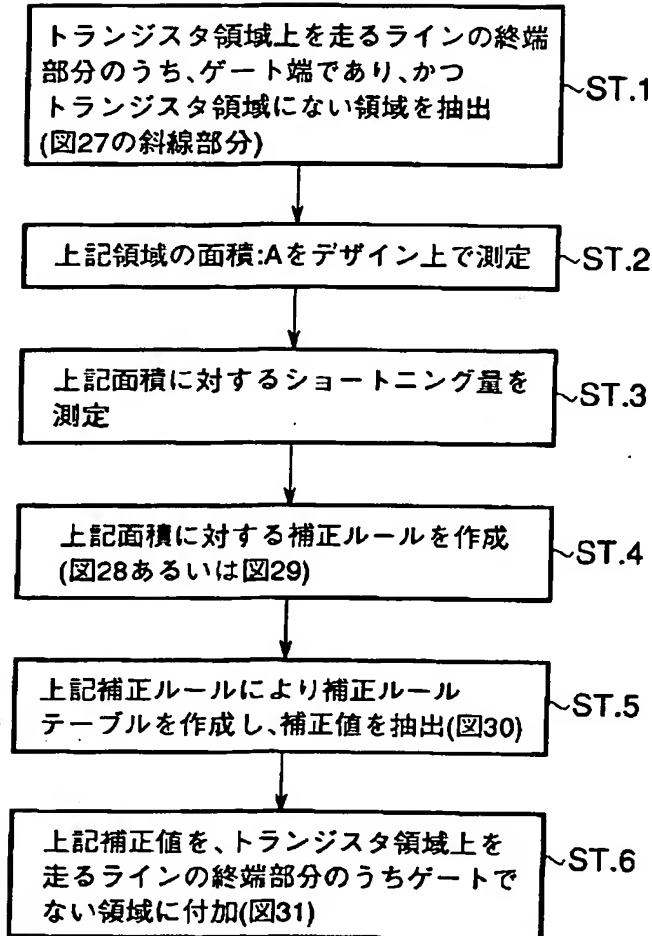


・[図28]

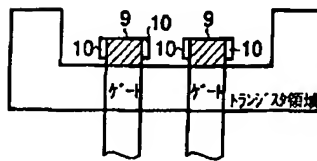


・【図26】

補正フロー



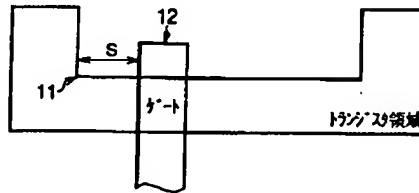
・【図31】



・【図43】

設計寸法	S1に加えるバイアス量
$S \leq a$	0
$a < S \leq b$	+W
$b < S \leq c$	+2W
$S > c$	+3W

・【図33】



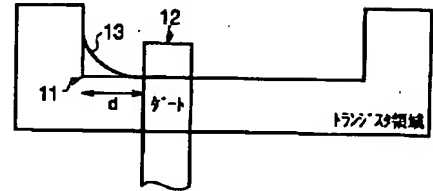
・【図44】

設計寸法	S2から差し引くバイアス量
$S \leq a$	0
$a < S \leq b$	-W
$b < S \leq c$	-2W
$S > c$	-3W

・【図30】

面積:A	フリンジ量
$A < a$	+3W
$a \leq A < b$	+2W
$b \leq A < c$	+W
$c \leq A$	0

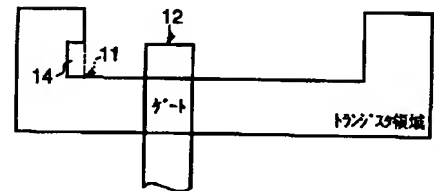
・【図34】



・【図35】

距離S	補正
$S < d$	切り欠き処理有り
$S \geq d$	切り欠き処理無し

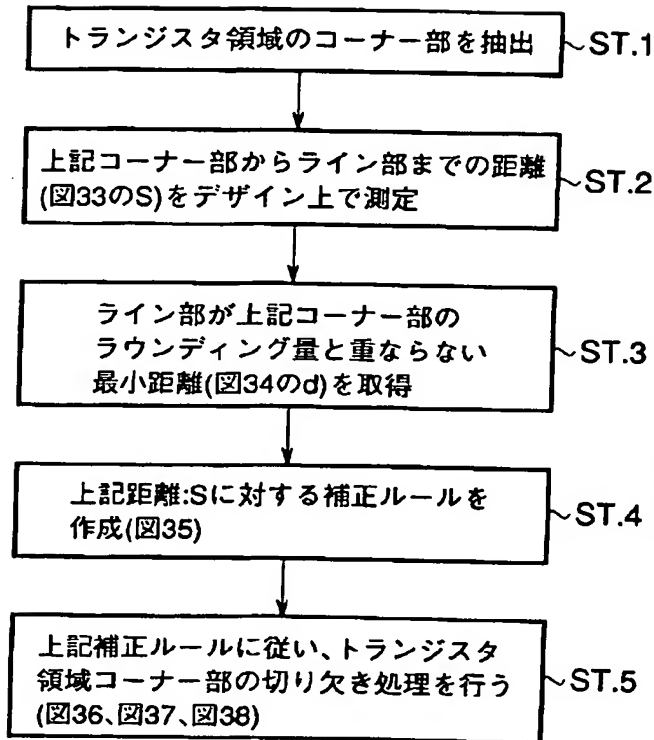
・【図37】



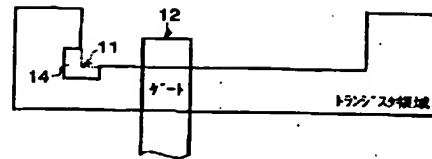
・【図38】

・【図32】

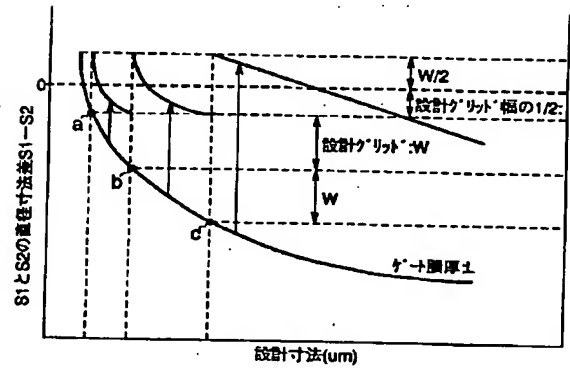
補正フロー



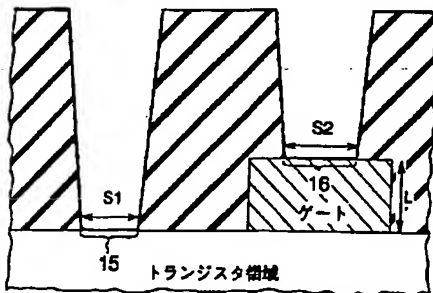
・【図36】



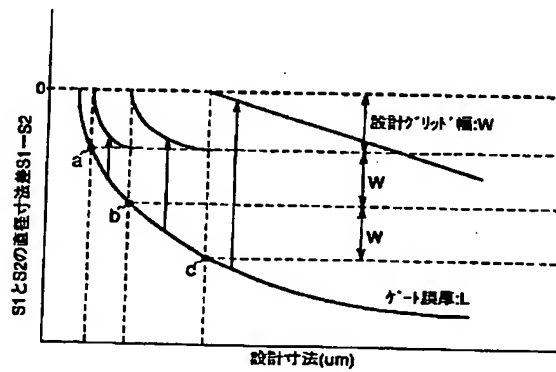
・【図42】



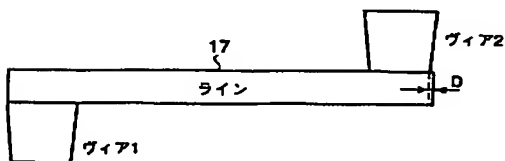
・【図40】



・【図41】

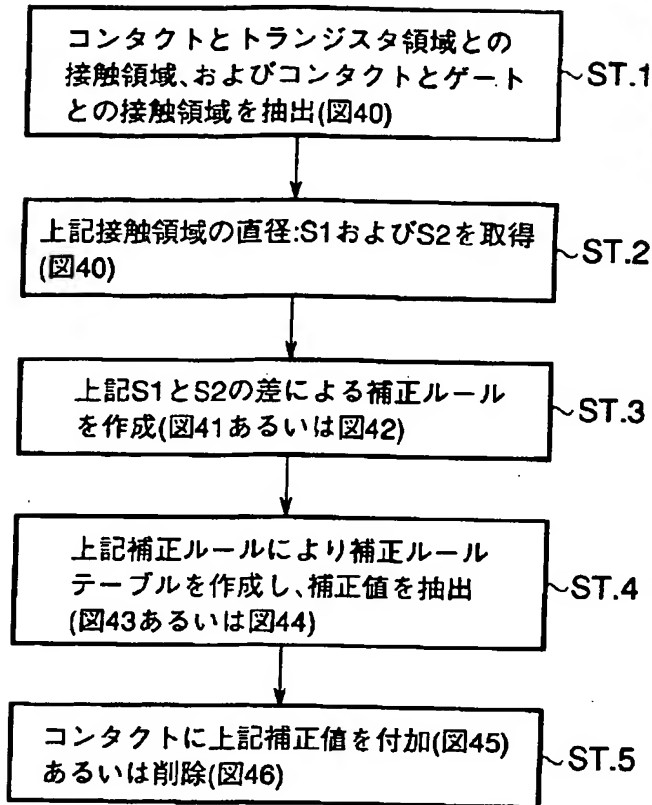


・【図48】

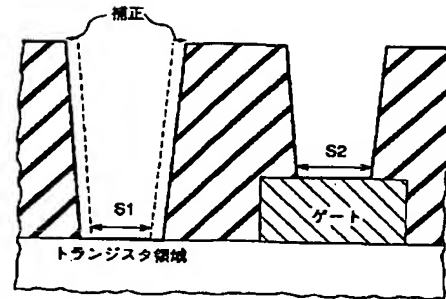


・【図39】

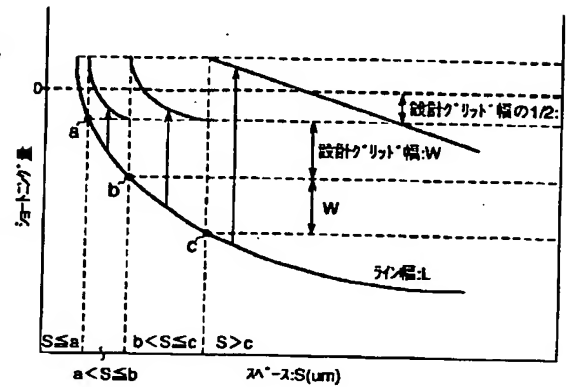
補正フロー



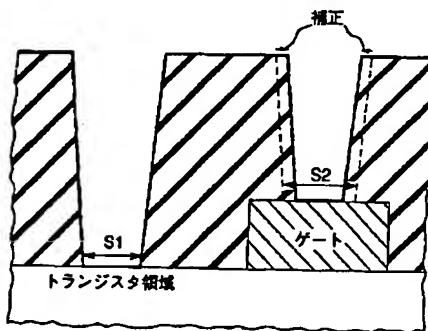
・【図45】



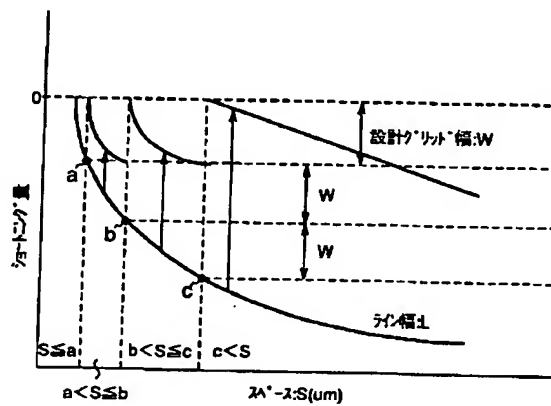
・【図50】



・【図46】



・【図49】

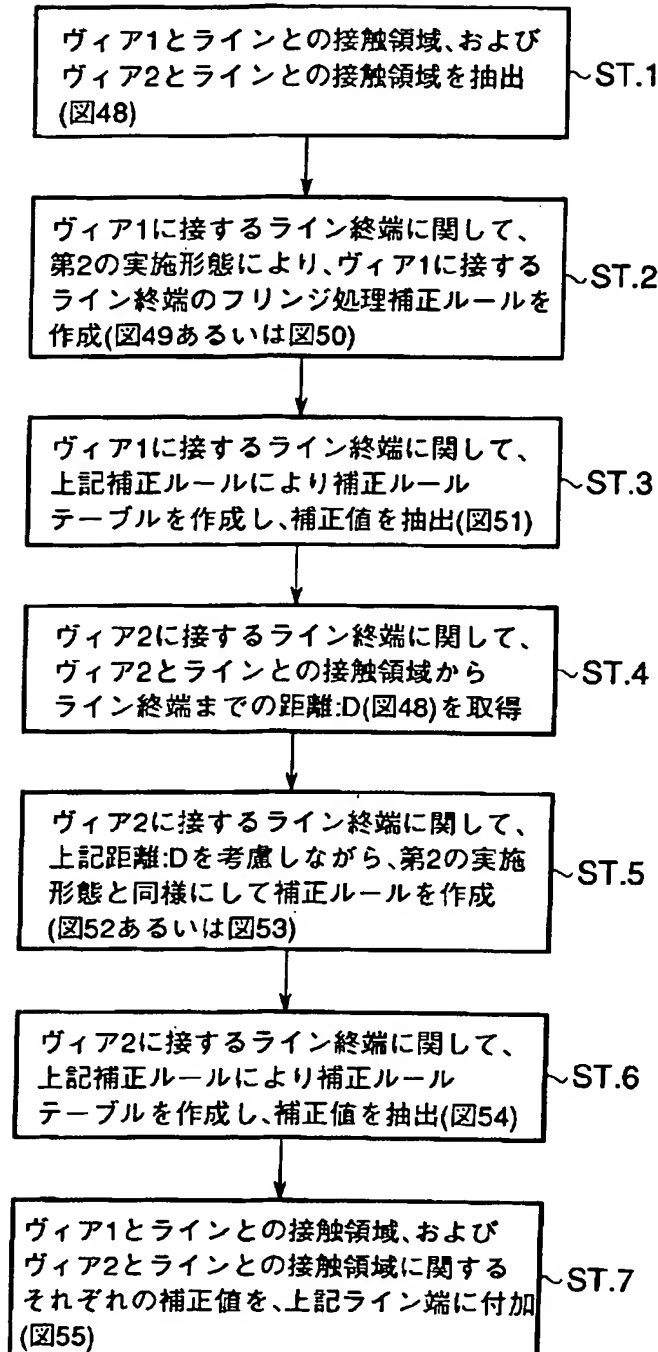


・【図59】

距離:S	補正
$S < a - C$	切り欠き処理有り
$S \geq a - C$	切り欠き処理無し

〔図47〕

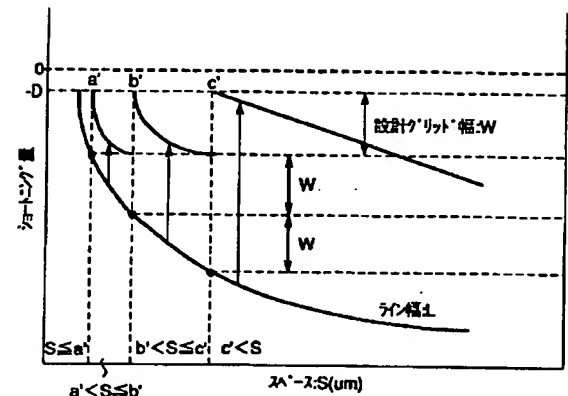
補正フロー



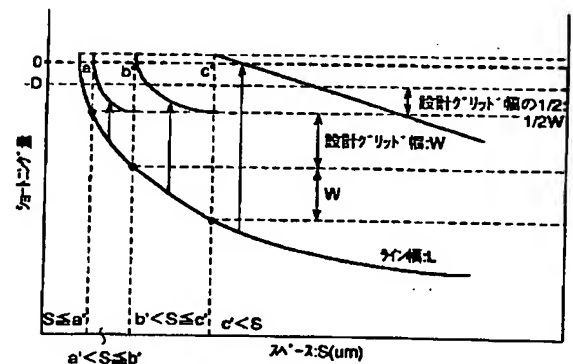
〔図51〕

スペース	フリッジ量
$S \leq a$	0
$a < S \leq b$	$+W$
$b < S \leq c$	$+2W$
$S > c$	$+3W$

〔図52〕



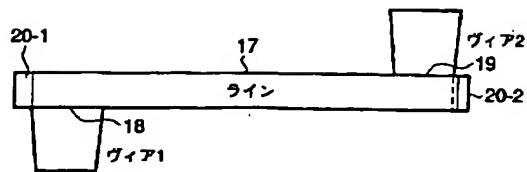
〔図53〕



〔図54〕

スペース	フリッジ量
$S \leq a'$	0
$a' < S \leq b'$	$+W$
$b' < S \leq c'$	$+2W$
$S > c'$	$+3W$

・[図55]



・[図57]

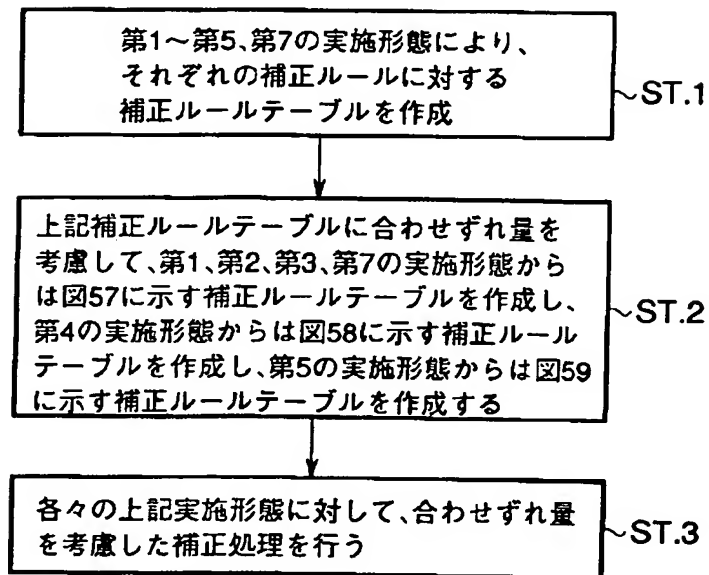
スペース	フリンジ量
$S \leq a$	$+C$
$a < S \leq b$	$+W+C$
$b < S \leq c$	$+2W+C$
$S > c$	$+3W+C$

・[図58]

面積	フリンジ量
$S \leq a$	$+3W+C$
$a < S \leq b$	$+2W+C$
$b < S \leq c$	$+W+C$
$S > c$	$+C$

・[図56]

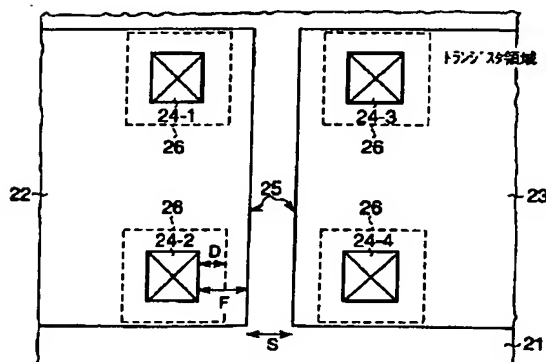
補正フロー



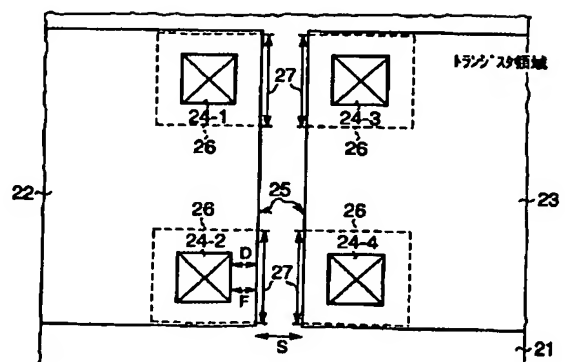
・[図64]

スペース	補正量
$S \geq a$	0
$b \leq S < a$	$+W$
$c \leq S < b$	$+2W$
$S < c$	$+3W$

・[図61]

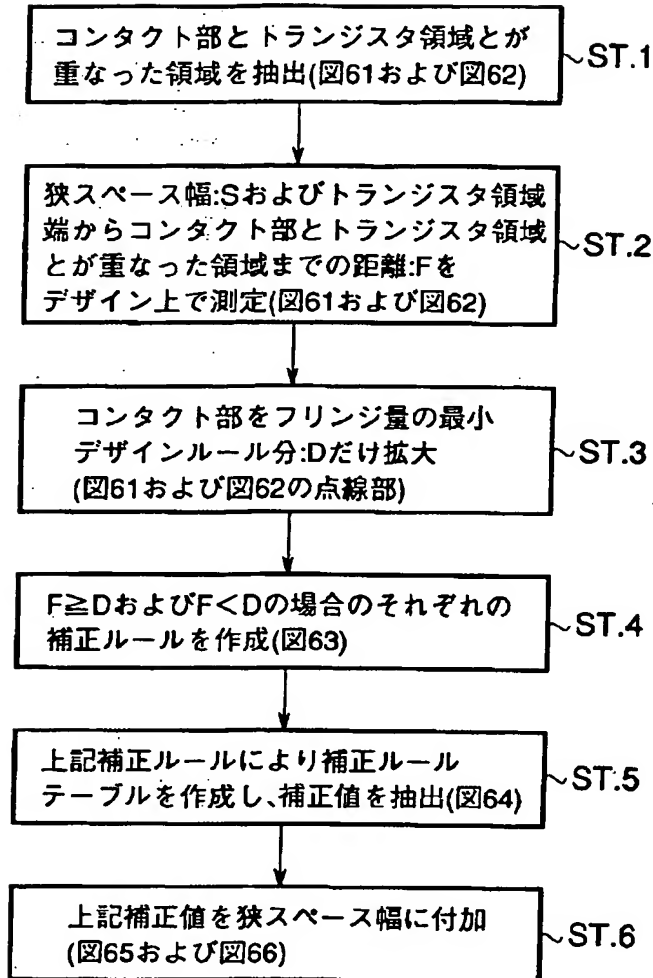


・[図62]

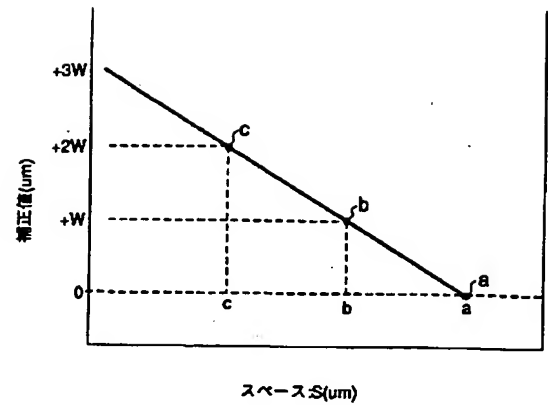


・【図60】

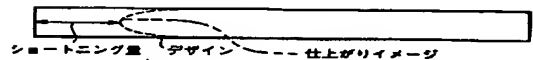
補正フロー



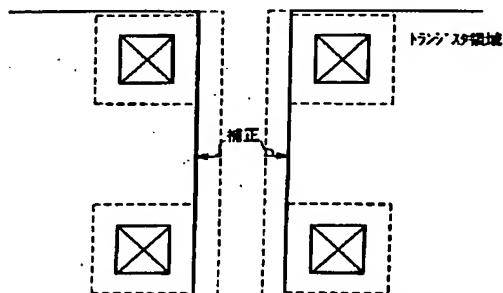
・【図63】



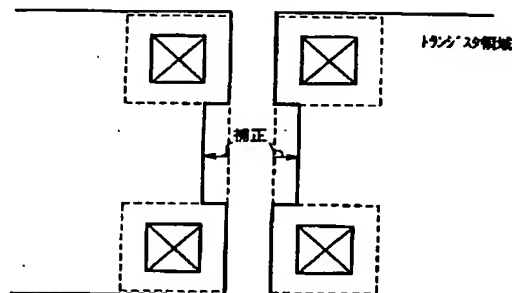
・【図67】



・【図65】



・【図66】



フロントページの続き

(72) 発明者 橋本 耕治

神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内

F ターム (参考) 2H095 BB01 BD31

5B046 AA08 BA04